

510,679  
10/510679

特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年10月16日 (16.10.2003)

PCT

(10) 国際公開番号  
WO 03/085726 A1

(51) 国際特許分類: H01L 23/12, 23/50, 21/56, 21/60 (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP). 株式会社ルネサス北日本セミコンダクタ (RENESAS NORTHERN JAPAN SEMICONDUCTOR, INC.) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 Hokkaido (JP).

(21) 国際出願番号: PCT/JP03/04394

(22) 国際出願日: 2003年4月7日 (07.04.2003)

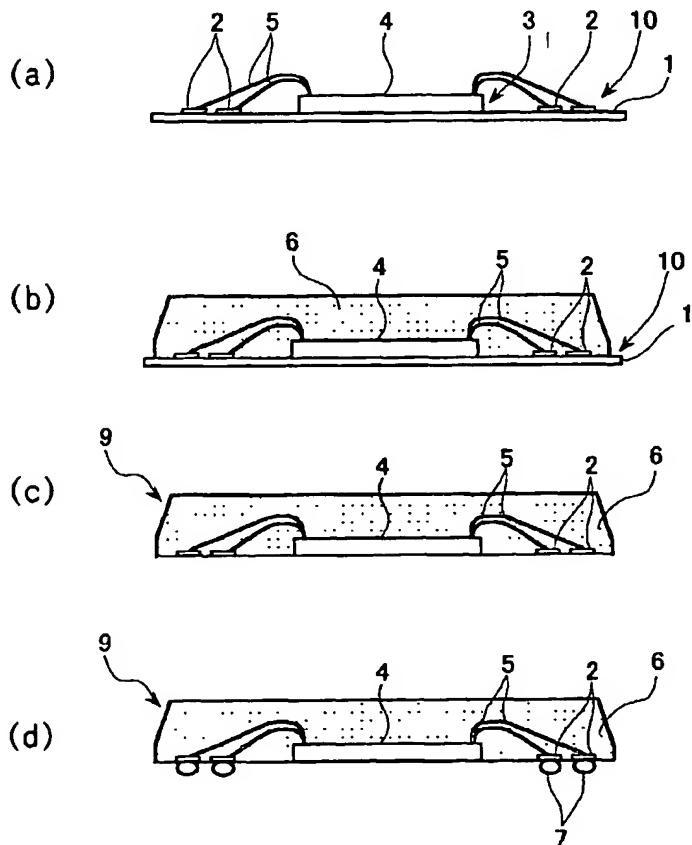
(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 特願2002-108086 2002年4月10日 (10.04.2002) JP (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 宮木 美典  
/統葉有/

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法



ワイヤを含む領域に絶縁性樹脂層を形成して半導体素子及びワイヤを被い、絶縁性樹脂層の裏面に露出する端子を形成する。

(57) Abstract: A method for manufacturing a thin, small, resin-encapsulated semiconductor device of non-lead type. A flexible tape where terminals are removably attached to a product forming portion of a major face through a first adhesive is prepared. A semiconductor device is removably fixed to the major face of the tape through a second adhesive. The electrodes of the semiconductor device are connected to the terminals through conductive wires. An insulating resin layer is formed in the area including the semiconductor device and wires on the major face of the tape so as to cover the semiconductor device and wires. The tape on the back of the insulating resin layer is peeled to form terminals exposed on the back of the insulating resin layer. The exposed surfaces of the terminals are formed of metal. One or more auxiliary metal layers are formed on the major face and the back of a main metal layer made of copper foil to complete terminals. The auxiliary metal layer on the major face side of the main metal layer is made of a material yielding a rough surface to the auxiliary metal layer, thereby forming a rough surface on the major face side of each terminal.

(57) 要約: 薄型・小型で安価なノンリード型の樹脂封止型半導体装置の製造方法である。主面の製品形成部に複数の端子を第1の接着材を介して剥離自在に設けた可焼性のテープを準備し、前記テープの主面に半導体素子を第2の接着材を介して剥離自在に固定し、前記半導体素子の電極と前記端子を導電性のワイヤで接続し、前記テープの主面において半導体素子及び

/統葉有/

WO 03/085726 A1



(MIYAKI,Yoshinori) [JP/JP]; 〒187-8588 東京都 小平市 上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 島貫 好彦 (SHIMANUKI,Yoshihiko) [JP/JP]; 〒066-8511 北海道 千歳市 泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 鈴木 博通 (SUZUKI,Hiromichi) [JP/JP]; 〒187-8588 東京都 小平市 上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 伊藤 富士夫 (ITO,Fujio) [JP/JP]; 〒187-8522 東京都 小平市 上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

(74) 代理人: 秋田 収喜 (AKITA,Shuki); 〒114-0013 東京都北区 東田端1丁目13番9号 ツインビル田端B2階 Tokyo (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明細書

## 半導体装置及びその製造方法

## 技術分野

本発明は樹脂封止型の半導体装置及びその製造方法に係わり、特に、S O N (Small Outline Non-Leaded Package), Q F N (Quad Flat Non-Leaded Package) のように、封止体の側方に意図的に外部電極端子を突出させることなく実装面側に外部電極端子を露出させる半導体装置（ノンリード型半導体装置）の製造に適用して有効な技術に関する。

10

## 背景技術

樹脂封止型半導体装置は、その製造においてリードフレームが使用される。リードフレームは、金属板を精密プレスによる打ち抜きやエッチングによって所望パターンに形成することによって製造される。リードフレームは半導体素子（半導体チップ）を固定するためのタブ、ダイパッド等と呼称される支持部や、前記支持部の周囲に先端（内端）を臨ませる複数のリードを有する。前記タブはリードフレームの枠部から延在するタブ吊りリードによって支持されている。

このようなリードフレームを使用して樹脂封止型半導体装置を製造する場合、前記リードフレームのタブ上に半導体チップを固定するとともに、前記半導体チップの電極と前記リードの先端を導電性のワイヤで接続し、その後ワイヤや半導体チップを含むリード内端側を絶縁性の樹脂（レジン）で封止して空隙を埋めて封止体（樹脂封止体：パッケージ）を形成し、ついで不要なリードフレーム部分を切断除去するとともにパッケージから突出するリードやタブ吊

りリードを切断する。

一方、リードフレームを用いて製造する樹脂封止型半導体装置の一つとして、リードフレームの一面（正面）側に片面モールドを行ってパッケージを形成し、パッケージの一面に外部電極端子であるリードを露出させる半導体装置構造（ノンリード型半導体装置）が知られている。この半導体装置は、パッケージの一面の両側縁にリードを露出させるS O Nや、四角形状のパッケージの一面の4辺側にリードを露出させるQ F Nが知られている。

特開2000-77596号公報には、2種類のリードフレームと樹脂フィルムを用いる電極底面露出型の樹脂封止型半導体装置の製造技術が開示されている。即ち、この製造技術では、最初に、第1の信号接続用リード部と第1の外部端子部を兼ねるリードと、第2の信号接続用リード部と第2の外部端子部を兼ねるリードをフレーム枠内に有するリードフレームと、半導体素子を固定するダイパッドを有するリードフレームを用意する。

つぎに、前者のリードフレームのフレーム枠の底面に樹脂フィルムを密着させるとともに、後者のリードフレームからダイパッドを取り出してフレーム枠中央に露出する樹脂フィルム上にダイパッドを固着する。

つぎに、ダイパッド上に半導体素子を固定し、ワイヤーボンドを行い、フレーム枠上に封止樹脂を形成して半導体素子やワイヤ等を被い、ついで樹脂フィルムを除去し、封止樹脂から突出するリード部を切断して、封止樹脂の裏面に外部端子及びダイパッドが露出する樹脂封止型半導体装置を製造する。

一方、半導体装置の一つとして絶縁性テープを使用して製造するT B G A (Tape Ball Grid Array) が知られている。特開平11-354673号公報には、低成本、薄型化のために、フィルムキャリアテープを用いたモールド樹脂封止層の裏面に電極を形成した

半導体装置が開示されている。なお、電極はモールド樹脂封止層の端から突出する構造になっている。

半導体装置の小型化、外部電極端子となるリードのリード曲がり防止等の観点から片面モールドによるSONやQFN等のノンリード型半導体装置が使用されている。ノンリード型半導体装置は、パッケージの一面に露出するリード面が実装面となることから、パッケージの側面からリードを突出させるSOP (Small Outline Package)やQFP等の半導体装置に比較して、実装面積が小さいが、半導体チップの外周に沿って、外部端子が一列に配列されるために、外部端子数の増加に伴ってパッケージの大型化が免れず、よりピン数の多い半導体装置を構成する上で不向きであると言う問題を有する。これに比較して、特開2000-77596号公報に記載されている様に、半導体チップの外周に沿って外部端子を複数行、複数列によって構成されるアレイ状に配列すれば、より小さなパッケージ外形においてもより多くの外部端子を設けることができるという利点を有する。しかしながら、リードフレームを利用してこのような構成を形成するには、コストの上昇問題となる。

つまり、リードフレームには、各工程において製品全体を保持するための枠部として十分な強度を保つために、十分な厚さを持つ金属板を元に外部端子を形成する必要があり、材料費の低減が困難である。

また、前記の様に厚い金属の板を、選択的なエッチングや精密プレス等によって、高い精度で所定のパターンを形成するのは困難なだけでなく、特開2000-77596号に記載されている様に、各々形成された外部端子部品を、樹脂フィルム上に配置するには多くの時間と手間を必要とする。

一方、絶縁性テープを使用して製造するT B G Aは、テープコストが高く、半導体装置のコスト低減が妨げられている。即ち、使用

したテープは半導体装置の一部を構成するため製品内に残る。このため、製品で求められる性能を維持するためには耐熱性、耐湿性等に優れた樹脂（例えば、ポリイミド樹脂テープ）を使用する必要があり、高価な材料を使用せざるを得ず、コスト上昇の一因となる。

5 また、テープは表裏面に配線が設けられるとともに、この表裏の配線は貫通孔に充填した導体で電気的に接続する必要があることから、構造的にもテープコストが高くなる。

本発明の目的は、薄型の面実装型半導体装置及びその製造技術を提供することにある。

10 本発明の他の目的は、封止体の側方に端子を突出させないノンリード型の薄型面実装型半導体装置及びその製造技術を提供することにある。

本発明の他の目的は、薄型・小型で安価なノンリード型の樹脂封止型の半導体装置及びその製造技術を提供することにある。

15 本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面からあきらかになるであろう。

### 発明の開示

本願において開示される発明のうち代表的なものの概要を簡単20 に説明すれば、下記のとおりである。

(1) 主面の製品形成部に複数の端子を第1の接着材を介して剥離自在に設けた可撓性のテープを準備し、前記テープの主面に半導体素子を第2の接着材を介して剥離自在に固定し、前記半導体素子の電極と前記端子を導電性のワイヤで接続し、前記テープの主面において半導体素子及びワイヤを含む領域に絶縁性樹脂層を形成して半導体素子及びワイヤを被い、絶縁性樹脂層の裏面の前記テープを剥離し、絶縁性樹脂層の裏面に露出する端子を形成する。前記端子の露出面は金層で形成されている。銅箔からなる主金属層の主面及

び裏面に 1 乃至複数層の補助金属層を形成して前記端子を形成する。主金属層の正面側の補助金属層を表面が粗面になる材料で形成して端子の正面側表面を粗面に形成する。

前記テープは、スルーホールや配線を形成することがないテープ 5 であり、このテープに銅箔等を剥離可能な接着材を介して貼り付け、その後この銅箔等を所定パターンにエッチングして端子を形成するものである。

(2) 主面の製品形成部に複数の端子を第 1 の接着材を介して剥離自在に設けた可撓性のテープを準備し、前記テープの正面に半導 10 体素子を第 2 の接着材を介して剥離自在に固定し、前記半導体素子の電極と前記端子を導電性のワイヤで接続し、前記テープの正面において半導体素子及びワイヤを含む領域に絶縁性樹脂層を形成して半導体素子及びワイヤを被い、絶縁性樹脂層の裏面の前記テープを剥離し、絶縁性樹脂層の裏面に露出する端子面に導電体を設けて突 15 起電極を形成する。銅箔からなる主金属層の正面及び裏面に 1 乃至複数層の補助金属層を形成して前記端子を形成する。主金属層の正面側の補助金属層を表面が粗面になる材料で形成して端子の正面側表面を粗面に形成する。

前記テープは、スルーホールや配線を形成することがないテープ 20 であり、このテープに銅箔等を剥離可能な接着材を介して貼り付け、その後この銅箔等を所定パターンにエッチングして端子を形成するものである。

(3) 上記 (1) または (2) の構成において、前記テープには前記製品形成部をマトリックス状に設け、半導体素子の固定及びワ 25 イヤの接続を行った後、製品形成部群を被うように絶縁性樹脂層を形成し、その後テープを絶縁性樹脂層から剥離するとともに絶縁性樹脂層を各製品形成部の境で切断して半導体装置を複数製造する。

(4) 上記 (1) 乃至 (3) の構成において、前記テープの正面

に前記端子を形成する際同時に端子を形成する材料で单一品または複数品で構成される半導体素子固定片を形成しておき、この半導体素子固定片上に接着材を介して半導体素子を固定する。

(5) 上記(1)乃至(3)の構成において、前記テープの主面  
5 に前記テープとの接着力よりも前記半導体素子との接着力が大きな  
絶縁性の接着材を用いて前記テープに前記半導体素子を接着させ、  
前記絶縁性樹脂層から前記テープを剥離させる際、前記半導体素子  
の裏面に前記接着材を残留させて前記テープを剥離する。

(6) 上記(1)乃至(5)の構成において、前記端子はマトリ  
10 ックス状に配置されている。

(7) 上記(1)乃至(6)の構成において、前記端子は前記絶  
縁性樹脂層の外周縁よりも内側に位置している。

前記(1)の手段によれば、(a) テープの主面側に半導体素子  
及び端子を位置させるとともに、ワイヤボンディング及び絶縁性樹  
15 脂層を形成した後、テープを絶縁性樹脂層から剥離させることによ  
って半導体装置を製造することから、薄型の半導体装置を製造する  
ことができる。

(b) 前記端子の表面は粗面になっていることから絶縁性樹脂層  
を形成する樹脂との密着性が高く、絶縁性樹脂層による封止性能が  
20 高くなる。即ち、絶縁性樹脂層から端子が抜け落ちるようなことは  
ない。

(c) 本発明においては、主面に端子を配置するテープを使用し  
て半導体装置を製造するが、このテープは従来使用されている配線  
パターンを有する高価なテープではなく、スルーホールや配線を形  
25 成することがないテープであり、このテープに銅箔等を剥離可能な  
接着材を介して貼り付け、その後この銅箔等を所定パターンにエッ  
チングして端子を形成するものであることから、半導体装置の製造  
コストの低減が達成できる。

前記(2)の手段によれば、(a)テープの正面側に半導体素子及び端子を位置させるとともに、ワイヤボンディング及び絶縁性樹脂層を形成した後、テープを絶縁性樹脂層から剥離させ、ついで露出する端子面に突起電極を形成することによって半導体装置を製造することから、突起電極を有する薄型の半導体装置を製造することができる。

(b)前記端子の表面は粗面になっていることから絶縁性樹脂層を形成する樹脂との密着性が高く、絶縁性樹脂層による封止性能が高くなる。即ち、絶縁性樹脂層から端子が抜け落ちるようなこともない。

(c)本発明においては、正面に端子を配置するテープを使用して半導体装置を製造するが、このテープは従来使用されている配線パターンを有する高価なテープではなく、スルーホールや配線を形成することがないテープであり、このテープに銅箔等を剥離可能な接着材を介して貼り付け、その後この銅箔等を所定パターンにエッチングして端子を形成するものであることから、半導体装置の製造コストの低減が達成できる。

(d)絶縁性樹脂層の裏面に露出する端子面には導電体が設けられて突起電極となり、いわゆるスタンドオフ構造となることから、半導体装置の実装時、仮に実装基板上に微小な異物が存在していても支障なく実装ができる実益がある。

前記(3)の手段によれば、テープに製品形成部をマトリックス状に設け、絶縁性樹脂層を形成した後は絶縁性樹脂層を縦横に切断して半導体装置を製造することから、絶縁性樹脂層による封止体の大きさを小さくでき、小型でかつ薄型の半導体装置を一度に多数製造することができる。

前記(4)の手段によれば、テープ正面に端子を形成する材料で形成された半導体素子固定片上に半導体素子を固定した半導体装置

を製造することができる。これにより、半導体素子の裏面が保護されることから、半導体素子を更に薄くでき、半導体装置の薄型化が可能になる。

前記（5）の手段によれば、絶縁性樹脂層により形成される封止体の裏面には直接半導体素子の裏面が露出せず、半導体素子の裏面は絶縁性の接着材で被われる構造になるため半導体素子の裏面側の電気的絶縁性が確保できる。

前記（6）の手段によれば、絶縁性樹脂層による封止体の裏面にはマトリックス状に端子が配置される構造となるため、外部電極端子（ピン）を小さい面積でより多く有する半導体装置となり、半導体装置の小型化、多ピン化が達成できる。

前記（7）の手段によれば、端子は前記絶縁性樹脂層の外周縁よりも内側に位置していることから、半導体装置等他の電子部品に近接して実装しても、隣接する電子部品との間でショートが発生しないくなり、実装の信頼性が高くなる。

#### 図面の簡単な説明

図1は本発明の一実施形態（実施形態1）である半導体装置の製造方法における模式的工程断面図である。

図2は本実施形態1の半導体装置の製造方法における端子配列テープに固定された半導体素子及びワイヤを示す模式的平面図である。

図3は本実施形態1の半導体装置の製造方法で使用できる他の端子配列テープの模式的平面図である。

図4は本実施形態1の半導体装置の製造方法においてリール・トウ・リール方式でモールドを行う状態を示す模式的透視平面図である。

図5は前記リール・トウ・リール方式で製造された半導体装置を

巻き取ったリールを示す模式的斜視図である。

図 6 は前記リールに巻き取られる端子配列テープとそのテープに形成された半導体装置を示す模式的断面図である。

図 7 は本発明の他の実施形態（実施形態 2）である半導体装置の模式的断面図である。

図 8 は封止体の一部を取り除いた本実施形態 2 の半導体装置の模式的平面図である。

図 9 は本実施形態 2 の半導体装置の模式的底面図である。

図 10 は本実施形態 2 の半導体装置の製造方法を示すフローチャートである。

図 11 は本実施形態 2 の半導体装置の製造方法で使用する端子配列テープの模式的平面図である。

図 12 は本実施形態 2 の半導体装置の製造方法で使用する端子配列テープの模式的断面図である。

図 13 は本実施形態 2 で使用する端子配列テープの製造例（箔接着）を示す模式的工程断面図である。

図 14 は本実施形態 2 で使用する端子配列テープの他の製造例（印刷）を示す模式的工程断面図である。

図 15 は本実施形態 2 で使用する端子配列テープの他の製造例（粗面化）を示す模式的工程断面図である。

図 16 は本実施形態 2 の半導体装置の製造方法において、主面に半導体素子を固定し、ワイヤボンディングを終了した端子配列テープの模式的平面図である。

図 17 は本実施形態 2 の半導体装置の製造方法において、トランスマーモールドによって絶縁性樹脂層を形成する状態を示す模式的断面図である。

図 18 はトランスマーモールド時にテープに食い込むモールド上型のパーティング面の状態を示す模式図である。

図19は前記端子配列テープにおけるモールド領域を示す模式的平面図である。

図20は本実施形態2の半導体装置の製造方法において絶縁性樹脂層が形成された端子配列テープの模式的平面図である。

5 図21は本実施形態2の半導体装置の製造方法において、トランスマールドによって絶縁性樹脂層を形成する他の例を示す模式的断面図である。

図22は本実施形態2の半導体装置の製造方法において、絶縁性樹脂層からテープを除去する状態を示す模式的断面図である。

10 図23は本実施形態2の半導体装置の製造方法において、絶縁性樹脂層の裏面に露出する端子の表面にメッキ膜を形成した状態を示す模式的断面図である。

図24は本実施形態2の半導体装置の製造方法において、絶縁性樹脂層をダイシングして個片化する状態を示す模式的断面図である。

15 図25は本発明の他の実施形態（実施形態3）である半導体装置の模式的断面図である。

図26は本実施形態3の半導体装置の模式的透視平面図である。

図27は本実施形態3の半導体装置の模式的底面図である。

20 図28は本発明の他の実施形態（実施形態4）である半導体装置の模式的断面図である。

図29は本実施形態4の半導体装置の模式的底面図である。

図30は本実施形態4の半導体装置における端子例を示す模式的断面図である。

25 図31は本実施形態4の半導体装置の製造方法における模式的工程断面図である。

図32は本実施形態4の半導体装置の製造方法で製造された端子形状が円形の半導体装置の模式的断面図である。

図33は本実施形態4の半導体装置の模式的透視平面図である。

図34は本実施形態4の半導体装置の模式的底面図である。

図35は本発明の他の実施形態（実施形態5）である半導体装置の模式的断面図である。

図36は本実施形態5の半導体装置の製造方法を示す模式的工程断面図である。

図37は本実施形態5の半導体装置の製造方法において使用する端子配列テープの製造例を示す模式的工程断面図である。

図38は本発明の他の実施形態（実施形態6）である半導体装置の模式的断面図である。

図39は本実施形態6の半導体装置の製造方法を示す模式的工程断面図である。

図40は本発明の他の実施形態（実施形態7）である半導体装置の製造方法を示す模式的工程断面図である。

図41は本発明の他の実施形態（実施形態8）である半導体装置の模式的断面図である。

図42は本実施形態8の半導体装置の製造方法においてチップボンディング及びワイヤボンディングが終了した端子配列テープの模式的平面図である。

図43は本実施形態8の半導体装置の製造方法において絶縁性樹脂層が形成された端子配列テープの模式的断面図である。

図44は本実施形態8の半導体装置の製造方法において他の端子配列テープを使用して製造した半導体装置の模式的断面図である。

図45は本実施形態8の半導体装置の製造方法において配線引回し端子を有する端子配列テープを使用した製造例を示す模式的平面図である。

図46は本実施形態8の半導体装置の製造方法において端子配列テープに一列に半導体装置を製造する例を示す模式的平面図である。

図47は本発明の他の実施形態（実施形態9）である半導体装置の模式的断面図である。

図48は本実施形態9の半導体装置の製造方法においてチップボンディング及びワイヤボンディングが終了した端子配列テープの5模式的平面図である。

図49は本実施形態9の半導体装置の製造方法において絶縁性樹脂層が形成された端子配列テープの模式的断面図である。

図50は本実施形態9の半導体装置の製造方法において他の端子配列テープを使用して製造した半導体装置の模式的断面図である。

10 図51は本実施形態9の半導体装置の製造方法において端子配列テープに一列に半導体装置を製造する例を示す模式的平面図である。

#### 発明を実施するための最良の形態

15 以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

##### （実施形態1）

図1乃至図6は本発明の一実施形態（実施形態1）のノンリード20型の樹脂封止型の半導体装置の製造方法に係わる図である。本実施形態1では、図1（a）～（d）に示すような各工程を経て、図1（d）に示すような半導体装置を製造する。

図1（a）に示すように、最初に可撓性のテープ1を準備する。このテープ1の主面の所定の領域、即ち製品形成部10には端子2が複数剥離自在に複数配置されている。製品形成部10は半導体装置が形成される領域であり、実施形態及び以後の各実施形態でも四角形状になっている。

端子2は、図2に示すように、矩形枠状に配列され、矩形の各辺

に沿って 2 列に等間隔に配置されている。また、枠内の四角形状のテープ面は半導体素子が固定される半導体素子固定部 3 となっている。従って、端子 2 はマトリックス状配置になっている。

テープ 1 は、半導体装置の製造各工程で受ける熱に対しても変形や損傷が起きないポリイミド樹脂等の耐熱性の絶縁性樹脂フィルムで形成する必要がある。また、半導体装置のコスト低減を図る上では、EVA (エチレン酢酸ビニルポリマー) 樹脂、PO (ポリオレフィン) 樹脂等の安価な樹脂フィルムを選択する必要がある。本実施形態 1 では耐熱性に優れ安価であることから、例えば、PMP (メタクリル樹脂) のフィルムを使用する。また、テープ 1 は、その厚さが  $100 \mu\text{m}$  程度と薄くなっている。なお、以降の各実施形態でも同じテープを用いて説明する。

端子 2 はテープ 1 の主面に剥離自在となるように形成されている。端子 2 の形成方法としては、①テープ 1 の主面に接着材を介して金属箔を貼り付けた後、この金属箔を選択的にエッチングして形成する、②テープ 1 が持つ接着性を利用して金属箔を貼り付けた後、この金属箔を選択的にエッチングして形成する、③テープ 1 の主面に選択的に導電ペーストを印刷した後硬化処理して形成する、④テープ 1 の主面に金属をメッキした後、このメッキ膜を選択的にエッチングして形成する。また、ワイヤの接続等を考慮し、端子の主面にはメッキ膜等が形成される。いずれの方法で形成した端子 2 もテープ 1 から剥離可能な接着状態になっている。本実施形態では、このような接着材を第 1 の接着材と呼称する。

本実施形態 1 及び以後の各実施形態では、一例として、導体として銅箔、銅ペースト、銅メッキ膜を使用する例について説明する。導体、即ち主金属層を銅とした場合、接続するワイヤの材質によっては接続不良を起こす場合がある。このため、主金属層の表面にメッキや印刷によって他の金属層を形成する必要がある。例えば、主

金属層を銅とし、金ワイヤを接続する場合は、主金属層の表面（正面）にNiメッキ膜、Auメッキ膜等の補助金属層を順次重ねて形成し、この金メッキ膜上に金のワイヤを接続する。なお、銅の端子2に銅のワイヤを不活性雰囲気下で直接接続する方法も採用できる。  
5 また、主金属層をアルミニウムで形成した場合には金ワイヤを接続することができる。

また、主金属層上に順次重ねて異なる金属をメッキした場合、表面が粗面になるメッキ膜としてPdメッキ膜を中間層として入れることによって、後述する絶縁性樹脂層をテープ1の正面に形成した場合、端子2と絶縁性樹脂層を形成する樹脂との接着力が粗面を介在するため強くなり、絶縁性樹脂層、即ち封止体から端子2が脱落しなくなる。例えば、主金属層を銅とした場合、Ni、Pd、Auと順次メッキ膜を形成する。前記Pdメッキ膜はその表面が粗面となる。従ってPdメッキ膜上に形成されるAuメッキ膜の表面も粗面となり、結果的に端子2の正面も粗面となる。  
15

つぎに、図1(a)及び図2に示すように、前記半導体素子固定部3にシリコンからなる半導体素子4を図示しない接着材（第2の接着材）を用いて固定する。この接着材は後に半導体素子4が容易に剥離できる程度の接着性を有するものである。この半導体素子4の接着はテープが持つ接着性を利用してもよい。半導体素子4は所定の回路が形成され、その正面（上面）には図示はしないが電極が辺に沿うように設けられている。なお、特に限定はされないが、半導体素子4の厚さは200μm～400μm程度の厚さになっている。

25 つぎに、図1(a)及び図2に示すように、半導体素子4の電極と、半導体素子4の周囲に配置される半導体素子4を導電性のワイヤ5で電気的に接続する。例えば、Auワイヤで接続する。

つぎに、図1(b)に示すように、テープ1の正面において、半

導体素子 4 及びワイヤ 5 を被うように絶縁性樹脂層 6 を形成する。絶縁性樹脂層 6 は、例えばトランスファモールド法によって形成し、絶縁性樹脂層 6 は製品形成部 10 を被うように形成される。絶縁性樹脂層 6 は、例えば絶縁性のエポキシ樹脂で形成され、厚さは 0.5 mm 以下となっている。絶縁性樹脂層 6 は封止体を形成し、封止体(絶縁性樹脂層 6 )の縁から内側に端子 2 を配置する構造になる。従って、最外周の端子 2 も封止体の縁に露出しないため、半導体装置 9 を実装基板に実装する際、半導体装置等の電子部品を近接して実装しても、隣接する電子部品との間でのショートが発生しなくなり、実装の信頼性が高くなる。

つぎに、絶縁性樹脂層 6 及び半導体素子 4 並びに端子 2 の裏面からテープ 1 を剥離し、図 1 (b) に示すように、絶縁性樹脂層 6 の裏面に半導体素子 4 及び端子 2 の裏面を露出させる半導体装置 9 を形成する。本実施形態 1 では、テープ 1 を剥離した際、端子 2 を接着する第 1 の接着材及び半導体素子 4 を接着する第 2 の接着材も共にテープ 1 に付着して除去される。テープ 1 の剥離時に、半導体素子 4 や端子 2 が絶縁性樹脂層 6 から剥離したりすることがないように、前記第 1 の接着材及び第 2 の接着材が選択される。

この段階 (ステップ : S) での半導体装置 9 でも、端子 2 を使用して所定の実装基板に実装することは可能である。即ち、端子 2 がそのまま外部電極端子として機能させることができ可能な構成となっている。

しかし、本実施形態 1 では以下の工程によって、図 1 (d) に示すように、端子 2 の裏面に突起電極 7 を形成して外部電極端子とする。

即ち、テープ 1 を剥離した後、絶縁性樹脂層 6 の裏面に露出する端子 2 の裏面に所定のメッキ膜を形成し、その後メッキ膜にボール電極を取り付けて突起電極 7 を形成する。主金属層が銅であること

から、例えば、端子 2 の裏面に Ni メッキ膜（補助金属層）を形成した後、PbSn 半田からなる半田ボール電極（半田バンプ電極）を常用のボール電極形成法によって取り付ける。

これにより、半導体装置 9 の外部電極端子は絶縁性樹脂層 6 の裏面から所定高さ突出した電極となり、いわゆるスタンドオフ構造になり、マザーボード等の実装基板に実装する際、実装基板表面に多少の異物が存在しても、異物は絶縁性樹脂層 6 の裏面に接触もしなくなり、確実な実装ができることになる。

なお、ボール電極を取り付けることなく、端子 2 の裏面に厚めに 10 メッキ膜（補助金属層）を形成したり、厚めに導体ペースト（補助金属層）を印刷しあつ硬化させることによっても突起電極 7 を形成することもでき、スタンドオフ構造とすることができる。絶縁性樹脂層 6 の裏面から外部電極端子が突出するスタンドオフ構造にしても、本実施形態による半導体装置の高さは 0.5 mm 以下に抑える 15 ことができる。

本実施形態 1 では、製品形成部 10 内に端子 2 を枠状に配置したテープ 1 を用いたが、図 3 (a) に示すように、製品形成部 10 内にマトリックス状に端子 2 を配置し、中央の複数の端子 2 を半導体素子固定片 11（斜線を付けた端子 2）として半導体素子 4 を固定するテープ 1 で半導体装置を製造することができる。端子 2 の厚さは 20 ~ 30  $\mu\text{m}$  程度であることから、半導体素子 4 を第 2 の接着材を用いて接続しても、端子 2 同士の間の溝深さも浅いため、接着材の使用量も少なくコスト高にはならない。

また、図 3 (b) に示すように、製品形成部 10 内に枠状に端子 2 を配置するとともに、枠内に半導体素子 4 の大きさと相前後する大きさの単一の半導体素子固定片 11 を有するテープ 1 を使用しても半導体装置を製造することができる。このように半導体素子固定片 11 は、単一品または複数品でもよい。また、半導体素子固定片

1 1 による半導体素子固定部は四角形状でなく、他の形状でもよい。

また、本実施形態 1 では、絶縁性樹脂層からテープを剥離したが、テープに半導体装置 9 を貼り付けた状態で、図 5 に示すようにリール 1 5 に巻き付けて出荷することもできる。この場合、テープ 1 としては、図 4 に示すように、両側にテープの移送や位置決めに使用するガイド孔 1 6 a ~ 1 6 c を有する帯び状のテープを使用する。そして、図示はしないが、巻き出しリールから解き出したテープ 1 に組み立て加工を施した後巻き取りリールに巻き取る、いわゆるリール・トウ・リール方式で各組み立て加工を行って、図 6 に示すよ 10 うに、テープ 1 の主面に半導体装置 9 を製造する。

図 4 はトランスファモールド装置によって半導体装置 9 、即ち封止体を形成した状態を示す模式的透視平面図である。トランスファモールド装置の各カル 1 7 から押し出された樹脂をランナー 1 8 、ゲート 1 9 を通してキャビティ 2 0 に送り込み、キャビティ 2 0 内 15 に充填された樹脂をキュアして硬化させ、図 4 及び図 6 に示すような半導体装置 9 (封止体) を形成する。図 5 の E 部を図 6 に拡大断面図として示す。また、図 4 においては半導体素子 4 の電極 4 a を明示してある。

この場合、テープ 1 に形成する端子 2 は、テープ接着面側が、半導体装置 9 の実装時の接合材料との接合性を良好とするために、N 20 i 層や A u 層となる構造としておくことが望ましい。これは、以後の実施形態で説明するテープ形成方法で明記するようにテープ 1 の形成時に容易に形成することができる。

リール・トウ・リール方式による半導体装置の製造方法は作業性 25 が高く、半導体装置の製造コストの低減を図ることができるばかりでなく、顧客においても半導体装置の自動実装化が図れることから好ましい。

また、テープ 1 として、耐熱性の紫外線照射硬化型テープを使用

し、このテープの正面に端子 2 を形成し、テープを絶縁性樹脂層 6 の裏面から剥離する前に紫外線照射硬化型テープに紫外線を照射して接着部分を硬化させて接着性を劣化させ、その後絶縁性樹脂層 6 の裏面からテープ 1 を剥離させる。従って、このテープは裏面から 5 紫外線を照射させても接着部分に紫外線が到達するように透明なテープになっている。

また、ボール電極形成法において、主金属層が銅である場合、テープを剥がした直後(又は主金属層表面に酸化膜層を形成される前)であれば、補助金属層を形成せずにはんだボール電極を形成するこ 10 とが可能である。

本実施形態 1 によれば以下の効果を有する。

(1) テープ 1 の正面側に半導体素子 4 及び端子 2 を位置させるとともに、ワイヤ 5 の取り付け及び絶縁性樹脂層 6 の形成を行った後、テープ 1 を絶縁性樹脂層 6 から剥離させることによって半導体 15 装置 9 を製造することから、薄型の半導体装置 9 を製造することができる。

(2) 端子 2 の表面は粗面になっていることから絶縁性樹脂層 6 を形成する樹脂との接着力が高く、絶縁性樹脂層 6 による封止性能が高くなる。即ち、絶縁性樹脂層 6 から端子 2 が抜け落ちるような 20 こともなく、信頼性が高くなる。

(3) 本発明においては、正面に端子 2 を配置するテープ 1 を使用して半導体装置 9 を製造するが、このテープ 1 は従来使用されている配線パターンを有する高価なテープではなく、スルーホールや配線を形成することがないテープであることから、半導体装置 9 の 25 製造コストの低減が達成できる。また、テープ 1 として安価なテープを使用した場合さらに製造コストの低減が達成できる。また、このテープに銅箔等を剥離可能な接着材を介して貼り付け、その後この銅箔等を所定パターンにエッチングして端子を形成するものであ

ることから、半導体装置の製造コストの低減が達成できる。

(4) テープ1の正面側に半導体素子4及び端子2を位置させるとともに、ワイヤ5による接続及び絶縁性樹脂層6の形成を行った後、テープ1を絶縁性樹脂層6から剥離させ、ついで露出する端子面に突起電極7を形成することによって半導体装置9を製造することから、実装性能が高いスタンドオフ構造の半導体装置9を製造することができる。

(5) 単一品または複数品で構成される半導体素子固定片11上に半導体素子4を固定できることから、单一品では放熱性向上、チップ裏面の保護が図れるとともに、チップ裏面が保護されているため、チップ厚さを更に薄くできる、更なるパッケージの薄型化が可能になる。また、複数品では、放熱性向上、チップ裏面の保護が図れるとともに、1種類のテープパターンで異種サイズの素子が搭載可能となるためテープの標準化が図れる。

(6) 絶縁性樹脂層6による封止体の裏面にはマトリックス状に端子2が配置される構造となるため、外部電極端子（ピン）を小さい面積でより多く有する半導体装置9となり、半導体装置9の小型化、多ピン化が達成できる。

(7) 端子2は絶縁性樹脂層6（封止体）の外周縁よりも内側に位置していることから、半導体装置等他の電子部品に近接して実装しても、隣接する電子部品との間でショートが発生しなくなり、実装の信頼性が高くなる。また、実装基板側のランドがパッケージ外形よりはみ出さない（はみ出す量が少ない）ため、基板を有効に使用できる。即ち、基板を小さくできる。

(8) リール・トゥ・リール方式によれば半導体装置9を製造する方法では、作業性が高く、半導体装置9の製造コストの低減を図ることができる。また、顧客においては、リール15からテープ1を解き出すとともに、テープ1から半導体装置9を剥がしてピック

アップすることによって半導体装置 9 の自動実装化を図ることができ、実装の作業性を向上させることができる。

(実施形態 2 )

図 7 乃至図 24 は、本発明の他の実施形態（実施形態 2 ）である 5 半導体装置及びその製造方法に係わる図である。図 7 乃至図 9 は半導体装置に係わる図であり、図 10 は半導体装置の製造方法を示すフローチャート、図 11 乃至図 24 は半導体装置の製造方法に係わる図である。

本実施形態 2 では、実施形態 1 の半導体装置の製造方法において、 10 テープとしては、製品形成部を複数列マトリックス状に配置したものを使用する。また、絶縁性樹脂層の裏面に露出する半導体素子固定片及び端子の裏面にメッキ膜（補助金属層）を形成して端子を突起電極に形成する。

本実施形態 2 で使用するテープ 1a は、図 11 に示すように平面的に見て、周縁の枠部 22 と、枠部 22 の内側の一群の製品形成部 10 とからなっている。

製品形成部 10 は 1 個の半導体装置 1 を製造する部分であり、端子配列テープは、実施形態 1 で示した、①半導体素子を直接テープに固定する形態〔図 1 (a) で示す形態〕、②半導体素子を複数品からなる半導体素子固定片に固定する形態〔図 3 (a) に示す形態〕、 20 ③半導体素子を单一品からなる半導体素子固定片に固定する形態〔図 3 (b) に示す形態〕のいずれでもよい。

本実施形態 2 では前記③の図 3 (b) に示す单一品からなる半導体素子固定片に半導体素子を固定する端子配列テープを使用して半 25 導体装置を製造する例について説明する。

本実施形態 2 で使用するテープ 1a は、枠部 22 の内側の四角形状の領域に、2 列 4 行で合計 8 個の製品形成部 10 をマトリックス状に配列した構造になっている。なお、これは必ずしも必要ではな

いが、製品形成部群の外側には枠状に端子 2 が 1 列配置されている。なお、実際に半導体装置を製造する際使用するテープは、さらに多くの製品形成部 10 が縦横に整列配置されたものとなる。

本実施形態 2 の半導体装置の製造方法によって製造された半導体装置 9 は、図 7 乃至図 9 の模式図に示す構造になっている。図 7 は半導体装置 9 の断面図、図 8 は絶縁性樹脂層 6 の一部を取り除いた平面図、図 9 は底面図である。

本実施形態 2 の半導体装置 9 は四角形状になっている。これは、半導体装置の製造の最終工程において、テープ 1a をその主面に形成された絶縁性樹脂層共々ダイシングブレードで縦横に切断することによる。従って、半導体装置 9 の周面はダイシングブレードによって切断されることから平坦面になっている。

絶縁性樹脂層 6 の裏面には半導体素子固定片 11 及び端子 2 の裏面が露出している。半導体素子固定片 11、端子 2 及び絶縁性樹脂層 6 の裏面は同一平面上に位置している。絶縁性樹脂層 6 内において、半導体素子固定片 11 の主面には半導体素子 4 が固定され、半導体素子 4 の電極 4a と端子 2 はワイヤ 5 で接続されている。

端子 2 及び半導体素子固定片 11 の裏面にはメッキ膜 25 (補助金属層) が形成され、端子 2 は突起電極 7 となる。即ち、メッキ膜 25 の厚さだけ外部電極端子は絶縁性樹脂層 6 の裏面よりも突出することになり、スタンドオフ構造となる。絶縁性樹脂層 6 及びメッキ膜 25 等の厚さが選択されて半導体装置 9 の厚さは 0.5 mm 以下になっている。

つぎに、本実施形態 2 の半導体装置の製造方法について説明する。半導体装置 9 は、図 10 のフローチャートに示すように、端子配列テープ準備 (S101)、チップポンディング (S102)、ワイヤポンディング (S103)、絶縁性樹脂層形成 (S104)、テープ除去 (S105)、端子表面処理 (S106)、個片化 (S107)

の各工程を経て製造される。

ここで、図11及び図12に示すようなマトリックス状に製品形成部10を有する本実施形態2で使用するテープ1a（端子配列テープ）の製造例の幾つかを説明する。

#### 5 テープ製造例1

図13（a）～（f）に示す方法は、無電解メッキ法を利用して端子を形成する方法である。図13（a）に示すように、テープ1aを準備した後、このテープ1aの主面に接着材（第1の接着材）26を介して金属箔2aを接着する。例えば、金属箔2aとして銅箔を接着する。

つぎに、図13（b）に示すように、プレスの下金型27aと上金型27b間に金属箔2aを貼り付けたテープ1aを挟み、熱圧着によってテープ1aに金属箔2aを貼り付ける。

つぎに、図13（c）に示すように、金属箔2a上にホトレジスト膜28を常用のホトリソグラフィ技術等によって選択的に形成する。即ち、端子2や半導体素子固定片11を形成する領域にはホトレジスト膜28を形成せず、他の領域にはホトレジスト膜28を形成する。

つぎに、図13（d）に示すように、ホトレジスト膜28をエッティング用マスクとして、金属箔2aをエッティングし、端子2や半導体素子固定片11を形成する。

つぎに、図13（e）に示すように、ホトレジスト膜28を除去して端子2及び半導体素子固定片11を露出させる。

つぎに、図13（f）に示すように、端子2及び半導体素子固定片11を形成する主金属層の表面に、2回の無電解メッキによってNiメッキ25a（補助金属層）及びAuメッキ膜25b（補助金属層）を順次重ねて形成する。

#### テープ製造例2

図14(a)～(d)に示す方法は、スクリーン印刷法によって端子等を形成する方法である。図14(a)に示すように、テープ1aを準備した後、スクリーン印刷装置のメタルマスク30をテープ1a上に密着状態で重ね、図14(b)に示すように、スキージ32を移動させてメタルマスク30上に供給した導体ペースト31をメタルマスク30に押しつけながら印刷を行う。メタルマスク30は印刷したい領域が貫通孔となっていることから、この貫通孔内には導体ペースト31がメタルマスク30の厚さ分充填されることになる。貫通孔は半導体素子固定片11や端子2に対応して形成されている。メタルマスク30の厚さの選択によって貫通孔に充填される導体ペースト31の厚さを選ぶことができる。

つぎに、図14(c)に示すように、メタルマスク30を取り除くとともに、テープ1aの主面に印刷された導体ペースト31を熱硬化処理(ペーキング)して、半導体素子固定片11及び端子2を形成する。

つぎに、図14(d)に示すように、端子2及び半導体素子固定片11を形成する主金属層の表面に、2回の無電解メッキによってNiメッキ25a(補助金属層)及びAuメッキ膜25b(補助金属層)を順次重ねて形成する。

### 20 テープ製造例3

図15(a)～(g)に示す方法は、既に説明したが、端子2の主面(表面)を粗面化して、絶縁性樹脂層6を形成する樹脂との接着力を高めるテープ1aの形成方法を示すものである。このテープ1aの製造方法は、前記テープ製造例1の図13(a)～(f)の工程において、図13(b)の工程と図13(c)の工程との間に、図15(c)の工程として、金属箔2aの主面(表面)に無電解メッキを行って表面が荒れた面(粗面)になる粗面メッキ膜25g(補助金属層)を形成する。例えば、粗面メッキ膜25gとしてPdメ

ッキ膜やCuメッキ膜を形成する。

その後、図13(c)～(f)の工程を、図15(d)～(g)の工程として行うことによって、端子2及び半導体素子固定片11の表面を粗面とすることができます。なお、粗面メッキ膜25g上厚い膜を形成すると表面は粗面化されないため、粗面メッキ膜25g上には薄い膜を形成して表面を粗面とする。

本実施形態2においては、前記のようなテープ製造方法で製造したテープ1aを準備した後、半導体装置を製造する。例えば、テープ製造例1で製造したテープ1aを使用する。

10 テープ製造例1で製造したテープ1a(端子配列テープ)を準備(S101)した後、図16に示すように、各製品形成部10の半導体素子固定片11上に半導体素子4を固定する(S102)。半導体素子4よりも僅かに半導体素子固定片11が大きくなっているが、図16では半導体素子固定片11の外形線を半導体素子4の外形線と一致させた状態で示してある。以降の図でも同様である。

つぎに、図16に示すように、半導体素子4の電極4aと端子2をワイヤ5で接続する(S103)。このワイヤボンディング工程では、Auワイヤを使用する。

つぎに、図17に示すように、チップボンディング及びワイヤボンディングが終了したテープ1aを、トランスファモールド装置のモールド下金型35aとモールド上金型35bに型締めし、ゲート19からキャビティ20内に溶けた樹脂6aを圧入して片面モールドを行い、図20に示すように絶縁性樹脂層6を形成する(S104)。このトランスファモールド時、モールド上金型35bのキャビティ20を形成する周縁突部35cの先端が、図18(a)及び図18(b)に示すように、テープ1aの主面に設けられた端子2を抑え、あるいはテープ1aを直接抑えるが、いずれの場合もテープ1aが柔軟材料であることから、歪み、押圧力を吸収する。このテ

ープ 1 a の変形によってモールド上金型 3 5 b の周縁突部 3 5 c は確実にテープ 1 a 及び端子 2 に接触するため、漏れのないキャビティ 2 0 が形成されることになる。

図 1 9 はテープ 1 a に対するキャビティ 2 0 及びゲート 1 9 並びにエアーベント 2 1 を模式的に示す平面図である。モールド金型からテープ 1 a を取り外した後、即ち、図 2 0 に示す状態では、ゲート 1 9 やエアーベント 2 1 に入り込んで硬化した樹脂も絶縁性樹脂層 6 に連なって残留する。

このトランスファモールドにおいて、図 2 1 に示すようなモールド下金型 3 5 a を使用すれば、一定の厚さの絶縁性樹脂層 6 を形成することができる。即ち、この例では、モールド下金型 3 5 a に真空吸着孔 3 5 f を設け、この真空吸着孔 3 5 f から真空吸引を行い、テープ 1 a の裏面をモールド下金型 3 5 a のパーティング面に密着させて、適正なモールドを行うものである。

なお、テープ 1 a の裏面を真空吸着して平坦な状態でかつ動かないように支持するこの手法は、既に説明したチップポンディング及びワイヤポンディングに適用すれば、確実かつ高精度なチップポンディング及びワイヤポンディングが行える。

つぎに、図 2 2 に示すように、テープ 1 a を除去する (S 1 0 5)。即ち、絶縁性樹脂層 6 の裏面からテープ 1 a を剥離する。

つぎに、図 2 3 に示すように、絶縁性樹脂層 6 の裏面に露出する端子 2 の端子表面処理を行う (S 1 0 6)。端子表面処理は、無電解メッキ法や導体ペーストの印刷によって行う補助金属層の形成処理である。即ち、無電解メッキ法によって端子 2 の裏面にメッキ膜 2 5 を形成する。無電解メッキ法であることから、マスキングをしない限り半導体素子固定片 1 1 の裏面にもメッキ膜 2 5 が形成される。

このメッキ膜 2 5 は、端子 2 が主金属層として銅で形成されていることから、下地に Ni メッキ膜 (補助金属層) を形成し、表面に

Auメッキ膜（補助金属層）を形成する。これによりPbSn半田を始めとする実装用に用いられる接合材との接着性がよくなる。また、このメッキ膜25の形成によって、端子2は突起電極7となる。外部電極端子が突起電極7ことによりスタンドオフ構造となる。

5 印刷法であれば、端子2の裏面だけに導体層を形成することができる。印刷法の場合は導体ペーストの印刷の後、ベーキング処理を行い揮発分を飛ばし導体を硬化させて導体層（補助金属層）を形成することになる。この導体層が突起電極7となる。

つぎに、図24に示すように絶縁性樹脂層6の正面に図示しない10支持枠に貼り付けられた支持体（粘着テープ）39を貼り付けるとともに、ダイシングブレード40によって製品形成部の境界に沿い、かつ絶縁性樹脂層6の裏面から粘着テープ39の途中深さまで切断して各製品形成部を個片化して半導体装置9を形成する（S107）。

15 分離された半導体装置9は粘着テープ39に貼り付けられた状態になっている。そこで、各半導体装置9を粘着テープ39から取り外す（剥離）ことによって図7～図9に示すような半導体装置9が複数製造されることになる。

20 半導体装置9の四角形状からなる絶縁性樹脂層6（封止体）の各周面は、絶縁性樹脂層6をダイシングブレードで切断することから平坦面になっている。

本実施形態2によれば、実施形態1が有する効果の幾つかを有するとともに、マトリックス状に製品形成部10を有するテープ1aを使用し、絶縁性樹脂層6を縦横に切断して半導体装置9を製造するため、半導体装置9の絶縁性樹脂層6の幅を極力小さくでき半導25体装置9の小型化を図る効果を有する。また、製品形成部10をマトリックス状に有するテープ1aの使用と、一括モールド法の採用と、ダイシングブレードによる絶縁性樹脂層6の縦横の切断とによって一度に多量の半導体装置9を製造することができ、ノンリード

型の半導体装置 9 の製造コストの低減が達成できる。また、一括モールド品の切断において、透明なモールド樹脂やフレーム(テープ)上に目印を設置することで、テープ 1 a を剥がさず(再度テープ 3 9 )を貼ることなく切断できるようになる。この結果、工程の簡素化及び製造原価の削減が図れ製品単体のコストダウンが達成される。

本実施形態 2 によれば、薄いテープ 1 a の使用、絶縁性樹脂層 6 を薄く形成すること等によって薄型でかつ小型のノンリード型の半導体装置 9 を一度に多数製造することができる。

本実施形態 2 において、トランスファモールドによる樹脂層の形成時、テープ 1 a をモールド下金型 3 5 a の載置面(パーティング面)に真空吸引によって密着させる方法では、確実で高精度に絶縁性樹脂層 6 を形成することができることから、品質の良好なノンリード型の半導体装置 9 を製造することができる。

### (実施形態 3)

図 2 5 乃至図 2 7 は本発明の他の実施形態(実施形態 3)である半導体装置に係わる図である。本実施形態 3 の半導体装置は、製品形成部をマトリックス状に配置し、製品形成部では端子がマトリックス状に配置されたテープを使用して製造される。

本実施形態 3 の半導体装置 9 は、図 2 5 は半導体装置の模式的断面図、図 2 6 の半導体装置の模式的透視平面図及び図 2 7 の半導体装置の模式的底面図に示すように、四角形状の絶縁性樹脂層 6 の裏面に端子 2 がマトリックス状に配置されている。最外側の端子 2 の外縁も絶縁性樹脂層 6 の縁よりも内側に位置している。

半導体素子 4 は、複数の端子 2 上に固定されている。即ち、半導体素子 4 を固定する半導体素子固定片 1 1 は複数品で構成されていることが特徴である。半導体素子 4 を固定するための接着材(第 2 の接着材) 2 9 は、半導体素子 4 が固定される領域の端子間の溝にも入り込むが、端子 2 の厚さが 20 ~ 30  $\mu\text{m}$  程度であることから、

溝の深さも 20～30 μm 程度であり、使用する接着材 29 の量も半導体装置 9 のコストを大幅に引き上げる程のことではない。

本実施形態 3 の半導体装置 9 も絶縁性樹脂層 6 の裏面に裏面を露出する端子 2 にメッキ膜 25 を形成して突起電極 7 とし、スタン 5 ドオフ構造となっている。

本実施形態 3 の半導体装置 9 は複数の端子 2 上に半導体素子 4 を搭載する構造となる。即ち製品形成部をマトリックス状に配置したテープを使用するため、モールドにおいては、同一モールド金型で、異種サイズのパッケージボディーサイズが製作可能となり、製 10 造設備の投資が低減できる。

#### (実施形態 4)

図 28 乃至 図 34 は本発明の他の実施形態（実施形態 4）である半導体装置に係わる図であり、図 28 乃至 図 30 は半導体装置の構造を示す図、図 31 は半導体装置の製造方法を示す図である。

15 本実施形態 4 の半導体装置 9 は、図 28 及び図 29 に示すように、絶縁性樹脂層 6 の裏面及び半導体素子 4 の裏面並びに端子 2 の裏面は共に同じ平面上にあり、半導体素子 4 及び端子 2 の裏面は絶縁性樹脂層 6 から露出する構造である。

本実施形態 4 では端子 2 の構造が前記実施形態とは異なる。図 3 20 0 (a)～(c) は端子例を示す模式的断面図である。図 30 (a)～(c) に示すように、端子 2 は主金属層 42 と、この主金属層 42 の表裏面に 1 乃至複数層形成した補助金属層 43 とからなっている。

図 30 (a) は端子例 1 である。この端子 2 の場合は、主金属層 25 42 が Ni からなり、補助金属層 43 が Au からなっている。この構造は、例えば、Ni 箔をメッキして表裏面にそれぞれ Au メッキ膜を形成し、この Ni 箔をテープ 1a に貼り付け、かつ Ni 箔を所定パターンにエッチング形成することによって得られる。端子 2 の

表裏面にAu層を形成することによって、端子2の主面にAuワイヤを接続でき、かつ端子2の裏面に半田等の実装用の接合材を接着させることができる。

図30(b)は端子例2である。この端子2の場合は、主金属層42がCuからなり、補助金属層43は2層となり、下層がNiからなり、上層(表面層)がAuからなっている。NiはCuとの接着性が良好であるとともに、AuとCuとの拡散を防止する層ともなっている。端子例2の場合の端子2も、銅箔を二度に亘ってメッキして表裏面にそれぞれNiメッキ膜、Auメッキ膜を形成し、この銅箔をテープ1aに貼り付け、かつNi箔を所定パターンにエッチング形成することによって得られる。

図30(c)は端子例3である。この端子2の場合は、主金属層42がCuからなり、補助金属層43は3層となり、下層がNi、中層がPd、上層(表面層)がAuからなっている。端子例3の場合の端子2も、銅箔を三度に亘ってメッキして表裏面にそれぞれNiメッキ膜、Pdメッキ膜、Auメッキ膜を形成し、この銅箔をテープ1aに貼り付け、かつNi箔を所定パターンにエッチング形成することによって得られる。

Pd層は表面が粗面となることから、必要以上にAu層を厚く形成しない限り、Au層の表面も粗面となり、結果的に端子2の表裏面は粗面となる。端子2の主面を粗面としておくことによって、絶縁性樹脂層6を構成する樹脂との接着面積が増大し、かつ食い込むことから接着力が増大し絶縁性樹脂層6から端子2が抜け落ち難くなり、半導体装置の信頼性が高くなる。

いずれのテープ製造例で製造された端子も、Auワイヤの接続は良好であり、実装時の接合材の接着性もよくなる。

つぎに、本実施形態4の半導体装置の製造方法を、図31(a)～(f)を参照しながら説明する。図31(a)に示すように、テ

ープ 1 a を準備する。このテープ 1 a は製品形成部 1 0 がマトリックス状に形成されている。そして、製品形成部 1 0 では端子 2 が枠状に 2 列配置されている。枠内の四角形状部分が半導体素子固定部 3 になる。

5 つぎに、各製品形成部 1 0 の半導体素子固定部 3 上に接着材 2 6 を利用して半導体素子 4 を固定する [図 3 1 (a) 参照]。

つぎに、各製品形成部 1 0 において、半導体素子 4 の図示しない電極と端子 2 をワイヤ 5 (Auワイヤ) で接続する [図 3 1 (b) 参照]。

10 つぎに、図 3 1 (c) に示すように、テープ 1 a の正面側にトランスマルチモールドによる片面モールドによって絶縁性樹脂層 6 を設け、半導体素子 4 及びワイヤ 5 を被う。

つぎに、図 3 1 (d) に示すように、絶縁性樹脂層 6 の裏面からテープ 1 a を剥がす。この際、テープ 1 a の正面の接着材 2 6 は絶縁性樹脂層 6 の裏面から剥がれるため、絶縁性樹脂層 6 の裏面には端子 2 及び半導体素子 4 の裏面が露出することになる。絶縁性樹脂層 6 及び半導体素子 4 並びに端子 2 の裏面は同一平面上に位置することになり、かつ半導体素子 4 及び端子 2 の裏面は絶縁性樹脂層 6 から露出するようになる。

20 つぎに、図 3 1 (e) に示すように絶縁性樹脂層 6 の正面に図示しない支持枠に貼り付けられた支持体 (粘着テープ) 3 9 を貼り付けるとともに、ダイシングブレード 4 0 によって製品形成部の境界に沿い、かつ絶縁性樹脂層 6 の裏面から粘着テープ 3 9 の途中深さまで切断して各製品形成部を個片化して半導体装置 9 を形成する。

25 分離された半導体装置 9 は粘着テープ 3 9 に貼り付けられた状態になっている。そこで、各半導体装置 9 を粘着テープ 3 9 から取り外す (剥離) ことによって図 3 1 (f) に示すような半導体装置 9 が複数製造されることになる。

図32乃至図34は同様な製造方法で形成された端子形状が円形の半導体装置に係わる図であり、図32は半導体装置の模式的断面図、図35は半導体装置の模式的透視平面図、図36は半導体装置の模式的底面図である。このように端子2の形状は四角形状以外の他の形状でも前記実施形態同様の効果を幾つか有することになる。

本実施形態4によれば、表面実装型のノンリード型半導体装置を製造することができる。

#### (実施形態5)

図35乃至図37は本発明の他の実施形態(実施形態5)である半導体装置に係わる図である。図35は半導体装置の模式的断面図、図36は半導体装置の製造方法を示す模式的工程断面図である。

本実施形態5では、図35に示すように、半導体装置9は、絶縁性樹脂層6内に封止する半導体素子4を单一品からなる半導体素子固定片11で支持し、この半導体素子固定片11の裏面が絶縁性樹脂層6の裏面と同一平面に位置する構造になっている。端子2の裏面も絶縁性樹脂層6の裏面と同一平面に位置している。また、図では省略して書いてあるが、端子2及び半導体素子固定片11は共に、主金属層とその表裏面に1乃至複数の補助金属層を有し、表面の補助金属層はAu層になっているものである。

本実施形態5の半導体装置9は、図36(a)～(e)の工程断面図に示す方法によって製造される。

最初に、図36(a)に示すようなテープ1aを準備する。このテープ1aは製品形成部10がマトリックス状に形成されている。そして、製品形成部10では端子2が枠状に2列配置されている。枠内には四角形状の半導体素子固定片11が設けられている。端子2及び半導体素子固定片11は接着材26によって接着されている。

テープ1aは実施形態4で使用するテープを使用することができる。ここで、図37(a)～(f)を参照しながら、他のテープ

製造例について説明する。

図37(a)に示すように、テープ1aを準備した後、蒸着やスパッタリングによってテープ1aの正面に金属膜45を形成する。金属膜45は蒸着やスパッタリングによって形成できる金属であればよい。例えば、金属膜45をAg, Au, Al, Cu, Ni, Pd, Crなどのいずれかで形成する。

つぎに、図37(c)に示すように、金属膜45の正面に1乃至複数の補助金属層46を電解メッキ法によって形成する。例えば、金属膜45の正面に順次Cu, Ni, Auをメッキする。

つぎに、図37(d)に示すように、補助金属層46の表面に所定パターンにホトレジスト膜47を形成した後、図37(e)に示すようにホトレジスト膜47をエッチング用マスクとして使用して、補助金属層46及び金属膜45をエッチングし、端子2や半導体素子固定片11を形成する。また、ホトレジスト膜47を除去することによって、図37(f)に示すように正面に半導体素子固定片11及び端子2を有するテープ1aが製造される。

本実施形態5では、このようなテープ1aまたは実施形態4で使用するテープ1aが半導体装置の製造に使用される。

図36(a)に示すようにテープ1aを用意した後、図36(b)に示すように半導体素子固定片11上に接着材(第2の接着材)29を介して半導体素子4を固定する。

つぎに、図36(c)に示すように、半導体素子4の図示しない電極と端子2をワイヤ5(Auワイヤ)で接続する。

つぎに、図36(d)に示すように、テープ1aの正面側にトランスマルチモールドによる片面モールドによって絶縁性樹脂層6を設け、半導体素子4及びワイヤ5を被う。

つぎに、図36(e)に示すように、絶縁性樹脂層6の裏面からテープ1aを剥がす。この際、テープ1aの正面の接着材26は絶

縁性樹脂層 6 の裏面から剥がれるため、絶縁性樹脂層 6 の裏面には端子 2 及び半導体素子 4 の裏面が露出することになる。絶縁性樹脂層 6 及び半導体素子 4 並びに端子 2 の裏面は同一平面上に位置することになり、かつ半導体素子 4 及び端子 2 の裏面は絶縁性樹脂層 6 5 から露出するようになる。

その後は、実施形態 4 と同様な手法で絶縁性樹脂層 6 を各製品形  
成部を個片化して半導体装置 9 を形成する。

本実施形態 5 によれば、より自由度の高い配線の形成が可能とな  
る効果がある。

#### 10 (実施形態 6 )

図 3 8 は本発明の他の実施形態（実施形態 6 ）である半導体装置  
の模式的断面図、図 3 9 は半導体装置の製造方法を示す模式的工程  
断面図である。

本実施形態 6 半導体素子 4 の裏面に絶縁性の接着材 5 0 を残留  
15 させて半導体素子 4 のシリコンからなる基板を電気的に独立させる  
ものである。即ち、半導体素子 4 の周面及び接着材 5 0 の周面は絶  
縁性の樹脂（絶縁性樹脂層 6 ）で被われることから半導体素子 4 の  
シリコン基板は電気的に独立した状態になる。

ここで使用する接着材 5 0 は、テープ 1 a や銅箔等を接着する接  
着材（第 1 の接着材） 2 6 との接着力よりも半導体素子 4 のシリコ  
ン基板との接着力が大きな絶縁性の接着材である。従って、テープ  
1 a を絶縁性樹脂層 6 から剥離させると、半導体素子 4 の裏面に接  
着材 5 0 は残留するようにして接着材 5 0 とテープ 1 a （あるいは  
接着材（第 1 の接着材） 2 6 ）は剥離する。

25 また、接着材 5 0 の代わりに接着テープを使用してもよい。この  
接着テープは、両面が粘着面となっている。そして、この粘着面を  
形成する接着材は、テープ 1 a や銅箔等を接着する接着材（第 1 の  
接着材） 2 6 との接着力よりも半導体素子 4 のシリコン基板との接

着力が大きな絶縁性の接着材である。従って、テープ 1 a を絶縁性樹脂層 6 から剥離させると、半導体素子 4 の裏面に絶縁性の接着テープは残留するようにして接着材 5 0 とテープ 1 a (あるいは接着材 (第 1 の接着材) 2 6 ) は剥離する。

5 本実施形態 6 の半導体装置 9 は、絶縁性樹脂層 6 により形成される封止体の裏面には直接半導体素子 4 の裏面が露出せず、半導体素子 4 の裏面は絶縁性の接着材 5 0 で被われる構造になるため半導体素子 4 の裏面側の電気的絶縁性が確保できる。

10 つぎに、本実施形態 6 の半導体装置 9 の製造方法について説明する。本実施形態 6 の半導体装置の製造方法においては実施形態 4 で使用したテープ 1 a を使用する。

図 3 9 (a) に示すようにテープ 1 a を用意した後、製品形成部 1 0 の半導体素子固定部 3 に前述の絶縁性の接着材 5 0 を介して半導体素子 4 を固定する。

15 つぎに、図 3 9 (b) に示すように、半導体素子 4 の図示しない電極と端子 2 をワイヤ 5 (Auワイヤ) で接続する。

つぎに、図 3 9 (c) に示すように、テープ 1 a の正面側にトランスマーモールドによる片面モールドによって絶縁性樹脂層 6 を設け、半導体素子 4 及びワイヤ 5 を被う。

20 つぎに、図 3 9 (d) に示すように、絶縁性樹脂層 6 の裏面からテープ 1 a を剥がす。接着材 (第 1 の接着材) 2 6 と接着材 5 0 との界面で剥離し、テープ 1 a は接着材 2 6 と共に剥離する。テープ 1 a 及び接着材 2 6 の剥離によって、絶縁性樹脂層 6 の裏面には端子 2 及び半導体素子 4 の裏面が露出することになる。絶縁性樹脂層 6 及び半導体素子 4 並びに端子 2 の裏面は同一平面上に位置することになり、かつ半導体素子 4 及び端子 2 の裏面は絶縁性樹脂層 6 から露出するようになる。端子 2 の露出面は Au 層を有し、半導体装置の実装時接合材に良好に接着するようになっている。

その後は、実施形態4と同様な手法で絶縁性樹脂層6を個片化して、図38に示すような半導体装置9を複数製造する。

(実施形態7)

図40は本発明の他の実施形態(実施形態7)である半導体装置5の製造方法を示す模式的工程断面図である。

本実施形態7においては、絶縁性樹脂層6をポッティングによって形成するものであり、準備する材料や他の工程は実施形態4と同じである。即ち、図40(a)に示すようにテープ1aを準備する。このテープ1aは主面に製品形成部10がマトリックス状に形成された構造となるとともに、テープ1aに接着材26を介して接着される端子2の面はAu層になっている。

つぎに、図40(a)に示すように、製品形成部10の端子2が枠状に配列された内側の半導体素子固定部3上に接着材26を利用して半導体素子4を固定する。

つぎに、各製品形成部10において、半導体素子4の図示しない電極と端子2をワイヤ5(Auワイヤ)で接続する[図40(b)参照]。

つぎに、図40(c)に示すように、ディスペンサ55から絶縁性の封止用樹脂56を滴下して、テープ1aの主面側に絶縁性樹脂層6を設ける。この絶縁性樹脂層6によって半導体素子4及びワイヤ5等を被う。封止用樹脂56は流動性を持つため半導体素子4上では高く、端子2上では低くなるが、所定の粘性を有するため、確実に半導体素子4及びワイヤ5等を被うことになる。封止用樹脂56の滴下後、樹脂のキュア処理を行い硬化した絶縁性樹脂層6を形成する。

つぎに、図40(d)に示すように、絶縁性樹脂層6の裏面からテープ1aを剥がす。この際、テープ1aの主面の接着材26は絶縁性樹脂層6の裏面から剥がれるため、絶縁性樹脂層6の裏面には

端子 2 及び半導体素子 4 の裏面が露出することになる。絶縁性樹脂層 6 及び半導体素子 4 並びに端子 2 の裏面は同一平面上に位置することになり、かつ半導体素子 4 及び端子 2 の裏面は絶縁性樹脂層 6 から露出するようになる。

5 つぎに、図 4 0 (e) に示すように絶縁性樹脂層 6 の正面に図示しない支持枠に貼り付けられた支持体（粘着テープ）3 9 を貼り付けるとともに、ダイシングブレード 4 0 によって製品形成部の境界で切断して各製品形成部を個片化して半導体装置 9 を形成する。分離された半導体装置 9 は粘着テープ 3 9 に貼り付けられた状態になっている。そこで、各半導体装置 9 を粘着テープ 3 9 から取り外す（剥離）ことによって図 4 0 (f) に示すような半導体装置 9 が複数製造されることになる。

10 本実施形態 7 によれば、樹脂封止をポッティングで形成することから、①モールド金型が不要となり、②モールド工程によるワイヤ流れによるショート不良が低減でき、③ワイヤショートマージン向上によるパッドピッチの狭ピッチ化でチップシュリンクが可能になり、④更なるパッケージの薄型化も達成できる。

#### （実施形態 8）

15 図 4 1 乃至図 4 6 は本発明の他の実施形態（実施形態 8）である半導体装置に係わる図である。本実施形態 8 は半導体装置内に複数の半導体素子を組み込んだ構造に係わるものである。

本実施形態 8 による半導体装置 9 は、図 4 1 の模式的断面図に示すように、複数品からなる複数箇所の半導体素子固定片 1 1 上に半導体素子 4 を搭載したものである。

20 本実施形態 8 の半導体装置の製造方法においては、図 4 2 に示すようなテープ 1 a が使用される。図 4 2 では特に符号は記さないが、縦横 4 個の製品形成部が示されている。各製品形成部の所定箇所には 4 種類の半導体素子 4 が固定され、かつ半導体素子 4 の電極と端

子 2 はワイヤ 5 で接続されている。なお、図において、符号は一つの製品形成部にのみ記載してある。また、図において一点鎖線で一部を囲む領域がトランスマールドによるモールド領域 5 7 である。

5 図 4 3 は半導体装置の製造方法において絶縁性樹脂層 6 が形成された端子配列テープ 1 a の模式的断面図である。全ての半導体素子 4 及びワイヤ 5 が絶縁性樹脂層 6 によって被われている。

10 このようにモールドされたテープ 1 a は、以後の工程において、前記各実施形態と同様に絶縁性樹脂層 6 からテープ 1 a を剥離し、その後テープ 1 a 及び絶縁性樹脂層 6 を縦横に切断して個片化して複数の半導体装置 9 を製造する。

15 図 4 4 (a), (b) は他の端子配列テープを使用して製造した半導体装置の模式的断面図である。図 4 4 (a) の半導体装置 9 は単一品からなる半導体素子固定片 1 1 上に半導体素子 4 を搭載した例であり、図 4 4 (b) は図には剥離されてないが、テープ 1 a の主面に半導体素子 4 を固定して製造した半導体装置 9 である。このように種々のテープの使用も可能である。

20 本実施形態 8 の半導体装置の製造方法においては、図 4 5 に示すように、隣接する端子同士を一体に連なる構造にして配線引回し端子 5 8 とすれば、ワイヤ 5 の引回し接続が容易になる効果がある。また、絶縁性の接着剤を使用して半導体素子を固定する構造にすれば、配線引回し端子 5 8 を半導体素子の下に位置させることができ、製品設計の自由度が高くなる。

25 また、実施形態ではマトリックス状に製品形成部を配置したテープ 1 a を使用して半導体装置 9 を製造する技術について説明したが、図 4 6 に示すように、一列に製品形成部を配列して、テープ 1 a に一列に半導体装置を製造するようにしてもよい。

本実施形態 8 によれば、複数チップ（半導体素子）の組み込みに

より、薄型かつ小型の半導体装置 9 を安価に製造することができる。

(実施形態 9 )

図 4 7 乃至 図 5 1 は本発明の他の実施形態（実施形態 9 ）である  
5 半導体装置に係わる図である。本実施形態 9 も実施形態 8 と同様に半導体装置内に複数の半導体素子を組み込んだ構造に係わるものであるが、少なくとも一部の半導体素子上に他の半導体素子を重ねて搭載する構造である。実施形態 9 では、全て 2 段重ねに半導体素子 4 を搭載した例を示す。

10 本実施形態 9 による半導体装置 9 は、図 4 7 の模式的断面図に示すように、複数品による半導体素子固定片 11 上に固定した半導体素子 4 上にサイズの小さい他の半導体素子 4 を搭載したものである。下の半導体素子 4 の図示しない電極は上の半導体素子 4 で被われることなく、かつワイヤボンディングに支障がない状態で露出するようになっている。下の半導体素子 4 及び上の半導体素子 4 の電極と端子 2 はワイヤ 5 で接続されている。

15

本実施形態 9 の半導体装置の製造方法においては、図 4 8 に示すようなテープ 1 a が使用される。図 4 8 では特に符号は記さないが、縦横 4 個の製品形成部が示されている。各製品形成部の所定箇所には二段重ねに半導体素子 4 が固定され、かつ上下の半導体素子 4 の電極と端子 2 はワイヤ 5 で接続されている。なお、図において、符号は一つの製品形成部にのみ記載してある。また、図において一点鎖線で一部を囲む領域がトランスマルチモールドによるモールド領域 57 である。

20 25 図 4 9 は半導体装置の製造方法において絶縁性樹脂層 6 が形成された端子配列テープ 1 a の模式的断面図である。二段重ねの半導体素子 4 及びワイヤ 5 が絶縁性樹脂層 6 によって被われている。このようにモールドされたテープ 1 a は、以後の工程において、

前記各実施形態と同様に絶縁性樹脂層 6 からテープ 1 a を剥離し、その後テープ 1 a 及び絶縁性樹脂層 6 を縦横に切断して個片化して複数の半導体装置 9 を製造する。

図 50 (a), (b) は他の端子配列テープを使用して製造した半導体装置の模式的断面図である。図 50 (a) の半導体装置 9 は单一品からなる半導体素子固定片 11 上に半導体素子 4 を搭載し、さらにサイズの小さい半導体素子 4 を下の半導体素子 4 の電極を被うことのないように下の半導体素子 4 上に固定した構造である。図 50 (b) は図には剥離されてないが、テープ 1 a の主面に半導体素子 4 を固定するとともに、この半導体素子 4 上にサイズの小さい半導体素子 4 を下の半導体素子 4 の電極を被うことのないように下の半導体素子 4 上に固定して製造した半導体装置 9 である。

本実施形態 9 の半導体装置の製造方法においては、図示はしないが、実施形態 8 と同様な配線引回し端子を配置して、ワイヤの引回し接続を容易にする構造としてもよいことは勿論である。この配線引回し端子は前述の全ての実施形態でも同様に採用することができる。

また、実施形態ではマトリックス状に製品形成部を配置したテープ 1 a を使用して半導体装置 9 を製造する技術について説明したが、図 51 に示すように、一列に製品形成部を配列して、テープ 1 a に一列に半導体装置を製造するようにしてもよい。

本実施形態 9 によれば、複数チップ（半導体素子）を多段に重ねて組み込むことにより、薄型でかつ小型の半導体装置 9 を安価に製造することができる。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

- (1) 薄型の薄型の面実装型半導体装置を提供することができる。
- (2) 小型の面実装型半導体装置を提供することができる。
- 5 (3) 薄型・小型で安価な面実装型半導体装置を提供することができる。
- (4) 実装の信頼性が高い面実装型半導体装置を提供することができる。

#### 10 産業上の利用可能性

以上のように、本発明にかかる半導体装置の製造方法は、端子配列テープを準備した後、チップの固定及びワイヤの接続を行い、その後テープの正面側をチップ及びワイヤを含めて絶縁性樹脂で被い、ついでテープを剥がし、さらに切断して個片化を図って半導体装置を製造することから、ノンリード型半導体装置の製造に適し、薄型でかつ小型のノンリード型半導体装置を製造することができる。

## 請求の範囲

1. 絶縁性樹脂からなる封止体と、  
前記封止体に封止される半導体素子と、  
5 前記封止体の裏面に露出する、金属膜によって構成される複数の端子と、  
前記封止体内に位置し一端が前記半導体素子の電極に接続され他端が前記端子に接続される導電性のワイヤとを有することを特徴としており、  
10 前記複数の端子は、前記半導体素子の周囲に沿って、複数列、複数行によって構成されるアレイ状に配列されていることを特徴とする半導体装置。
2. 前記半導体素子及び前記端子並びに前記封止体の裏面が同一平面上にあり、前記半導体素子及び前記端子の裏面が前記封止体から露出していることを特徴とする請求の範囲第1項記載の半導体装置。  
15
3. 前記半導体素子の裏面には絶縁性の接着材が設けられ、前記接着材及び前記端子並びに前記封止体の裏面が同一平面上にあり、前記接着材及び前記端子の裏面が前記封止体から露出していること  
20 を特徴とする請求の範囲第1項記載の半導体装置。
4. 前記接着材は接着テープであることを特徴とする請求の範囲第3項記載の半導体装置。
5. 前記端子の表面には前記封止体の裏面から突出する導体が形成されていることを特徴とする請求の範囲第1項記載の半導体装置。  
25
6. 前記端子の表面には前記封止体の裏面から突出するメッキ膜が形成され、前記メッキ膜上にはボール電極が形成されていることを特徴とする請求の範囲第1項記載の半導体装置。
7. 前記端子はマトリックス状に配置されていることを特徴とす

る請求の範囲第1項記載の半導体装置。

8. 前記端子はマトリックス状に配置され、一部の端子は1乃至複数の端子と繋がって配線引回し端子を形成していることを特徴とする請求の範囲第1項記載の半導体装置。

5 9. 前記端子は主金属層と、この主金属層の正面または正面及び裏面に形成される1乃至複数層からなる補助金属層とからなっていることを特徴とする請求の範囲第1項記載の半導体装置。

10 10. 前記端子は主金属層と、この主金属層の正面または正面及び裏面に形成される1乃至複数層からなる補助金属層とからなり、前記正面側の補助金属層の一つはその表面が粗面となり、前記端子の表面は粗面となっていることを特徴とする請求の範囲第1項記載の半導体装置。

15 11. 前記半導体素子の裏面側には前記端子を形成する材料で形成された单一品または複数品で構成される半導体素子固定片が設けられ、前記半導体素子は前記半導体素子固定片に接着材を介して固定されていることを特徴とする請求の範囲第1項記載の半導体装置。

12. マトリックス状に配列される端子の一部で前記複数品で構成される半導体素子固定片が構成されていることを特徴とする請求の範囲第1項記載の半導体装置。

20 13. 前記封止体内には複数の半導体素子が封止されていることを特徴とする請求の範囲第1項記載の半導体装置。

14. 前記封止体内には複数の半導体素子が封止され、少なくとも一部の半導体素子は他の半導体素子上に重ねて固定されていることを特徴とする請求の範囲第1項記載の半導体装置。

25 15. 前記端子は前記封止体の縁よりも内側に設けられていることを特徴とする請求の範囲第1項記載の半導体装置。

16. 前記封止体の裏面には剥離可能な可撓性のテープが貼り付けられていることを特徴とする請求の範囲第1項記載の半導体装置。

17. 前記テープは帯び状となり、前記封止体は前記テープの長手方向に沿って所定間隔に形成され、前記テープはリールに巻き付けられていることを特徴とする請求の範囲第16項記載の半導体装置。

5 18. 主面の製品形成部に金属膜によって構成される複数の端子を設けた可撓性のテープを準備する工程と、

前記テープの主面に半導体素子を固定する工程と、

前記半導体素子の電極と前記端子を導電性のワイヤで接続する工程と、

10 前記テープの主面において前記半導体素子及び前記ワイヤを含む領域に絶縁性樹脂層を形成して前記半導体素子及び前記ワイヤを被う工程と、

前記半導体素子及び前記ワイヤを前記絶縁性樹脂層で被った後、前記テープを剥離する工程とを有することを特徴とする半導体装置の  
15 製造方法。

19. 前記複数の端子は、前記半導体素子の周囲に沿って、複数行、複数列によって構成されるアレイ状に配列されることを特徴とすることを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

20 20. 前記テープの剥離後、前記絶縁性樹脂層の裏面に露出する前記端子面に電極を形成することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

21. 前記テープの剥離後、前記絶縁性樹脂層の裏面に露出する前記端子面にメッキ膜を形成して前記絶縁性樹脂層の裏面から突出する電極を形成することを特徴とする請求の範囲第20項記載の半導体装置の製造方法。

22. 前記テープの剥離後、前記絶縁性樹脂層の裏面に露出する前記端子面に前記絶縁性樹脂層の裏面から突出するボール電極を形

成することを特徴とする請求の範囲第20項記載の半導体装置の製造方法。

23. 前記テープとの接着力よりも前記半導体素子との接着力が大きな絶縁性の接着材を用いて前記テープに前記半導体素子を接着させ、前記絶縁性樹脂層から前記テープを剥離させる際、前記半導体素子の裏面に前記接着材を残留させて前記テープを剥離することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。  
5

24. 前記接着材は接着テープであることを特徴とする請求の範囲第23項記載の半導体装置の製造方法。

10 25. 前記製品形成部には前記半導体素子を固定するための素子固定テープ面と、この素子固定テープ面の周囲に配置される複数の端子とからなっていることを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

15 26. 前記製品形成部にマトリックス状に前記端子を設け、一部の複数の前記端子上に前記半導体素子を固定することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

20 27. 前記製品形成部に前記端子を形成する際同時に前記端子を形成する材料で前記半導体素子を固定する半導体素子固定片を形成し、その後前記半導体素子を前記半導体素子固定片上に固定することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

25 28. 前記テープとして帯状のテープを使用するとともに、前記テープの長手方向に沿って順次前記半導体素子の固定及びワイヤの接続並びに絶縁性樹脂層の形成を行い、その後前記テープをリールに巻き付けることを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

29. 前記テープに前記製品形成部をマトリックス状に設け、前記半導体素子の固定及び前記ワイヤの接続を行った後、前記全ての製品形成部を被うように前記絶縁性樹脂層を形成し、その後前記テ

ープを前記絶縁性樹脂層から剥離するとともに前記絶縁性樹脂層を各製品形成部の境で切断して半導体装置を複数製造することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

30. 前記絶縁性樹脂層の外周縁よりも内側に前記端子を位置させることを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

31. 前記製品形成部に複数の半導体素子を固定することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

32. 前記製品形成部に複数の半導体素子を固定することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

33. 前記製品形成部において前記端子をマトリックス状に配置するとともに、一部の端子は1乃至複数の端子と繋げて配線引回し端子にすることを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

34. 主金属層の主面または主面及び裏面に1乃至複数層の補助金属層を形成して前記端子を形成することを特徴とする請求の範囲第18項記載の半導体装置の製造方法。

35. 前記主金属層の主面側に表面が粗面になる補助金属層を形成して前記端子の主面側表面を粗面に形成することを特徴とする請求の範囲第34項記載の半導体装置の製造方法。

36. 前記端子の主面または前記端子の主面及び裏面の最外側の前記補助金属層を金層で形成することを特徴とする請求の範囲第34項記載の半導体装置の製造方法。

37. 前記主金属層は銅であることを特徴とする請求の範囲第34項記載の半導体装置の製造方法。

38. 前記半導体素子の固定、前記ワイヤの接続及び前記絶縁性樹脂層の形成のいずれか一つの工程または複数の工程において、前記テープの裏面を真空吸着によって保持した状態で作業を行うこと

を特徴とする請求の範囲第18項記載の半導体装置の製造方法。

FIG.1

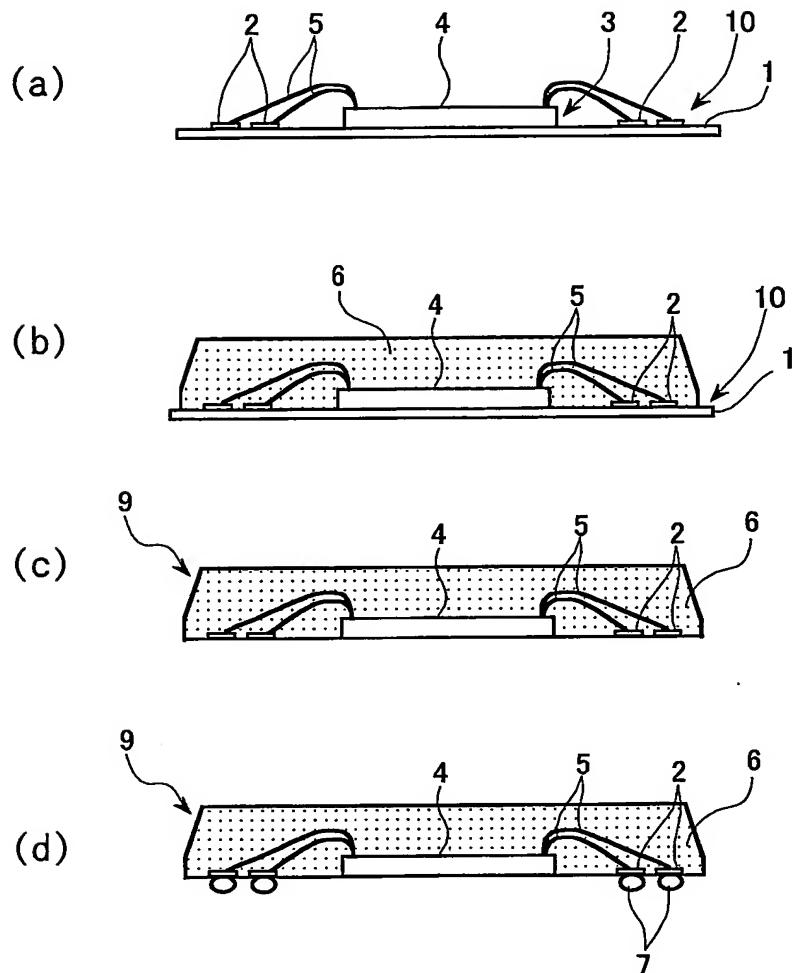


FIG.2

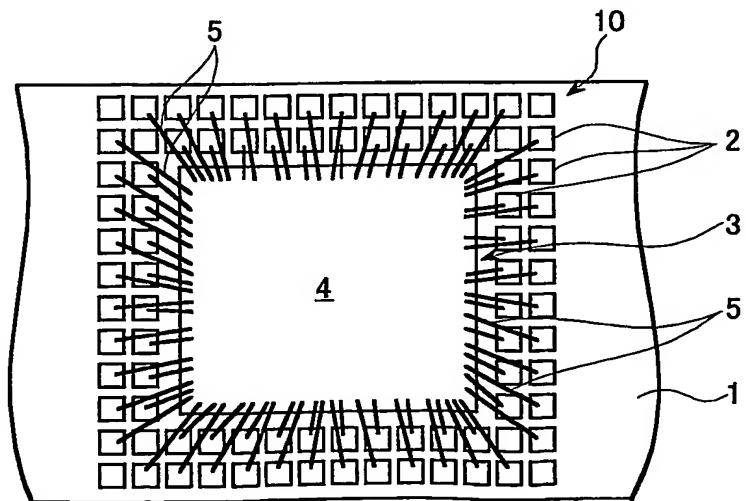
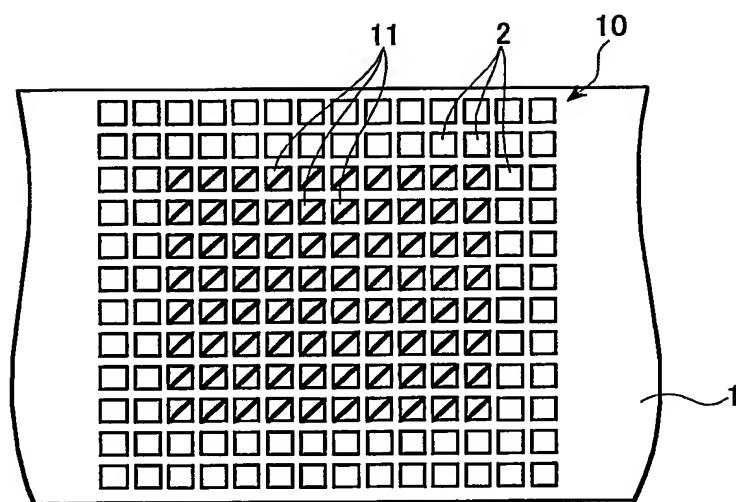


FIG.3

(a)



(b)

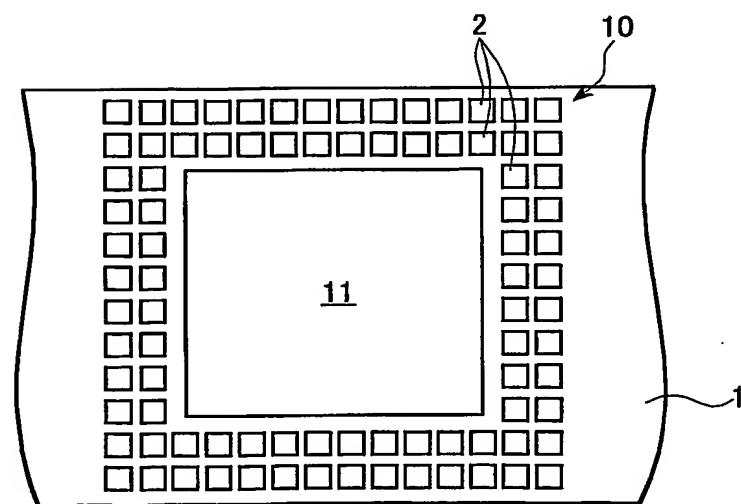


FIG. 4

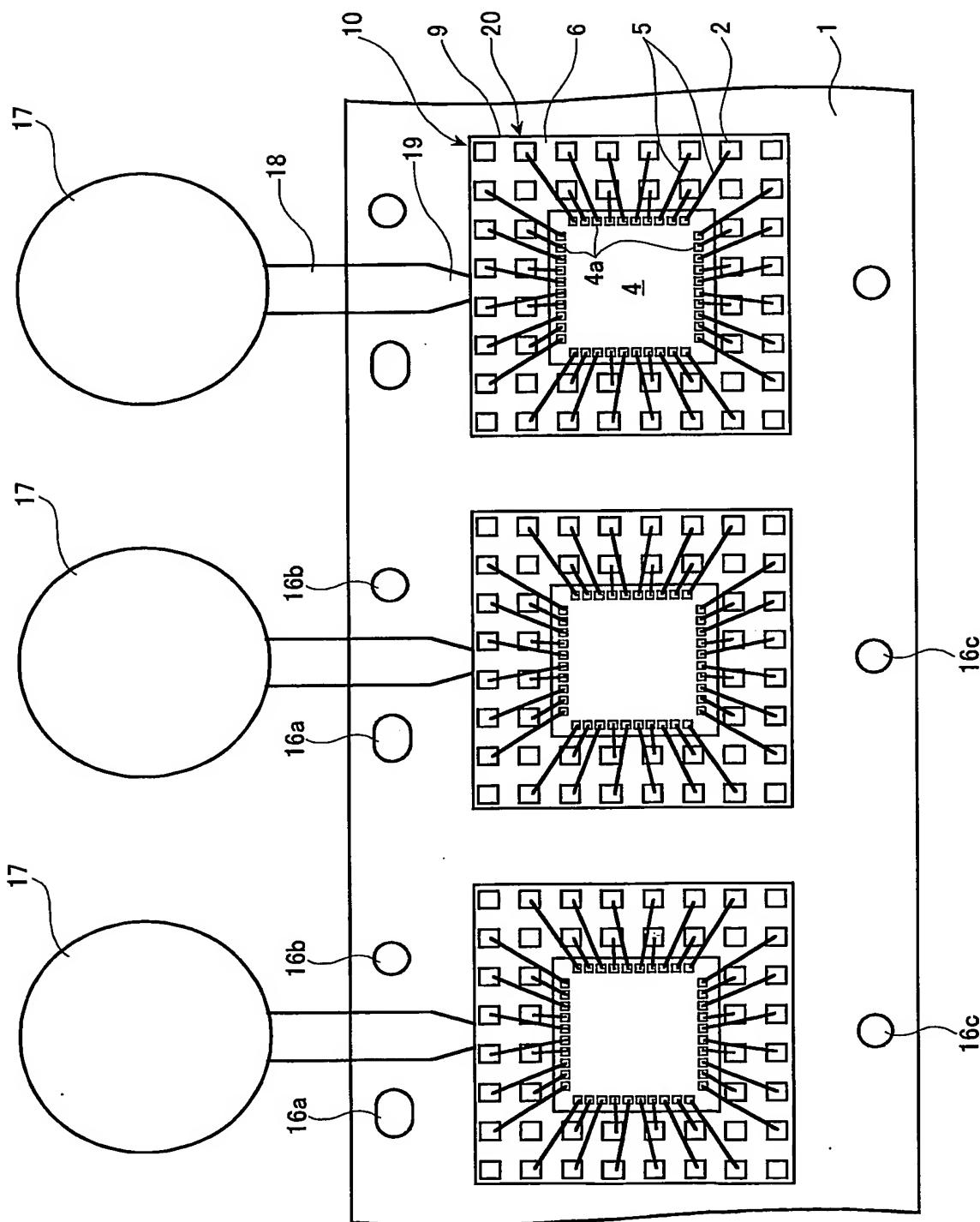


FIG.5

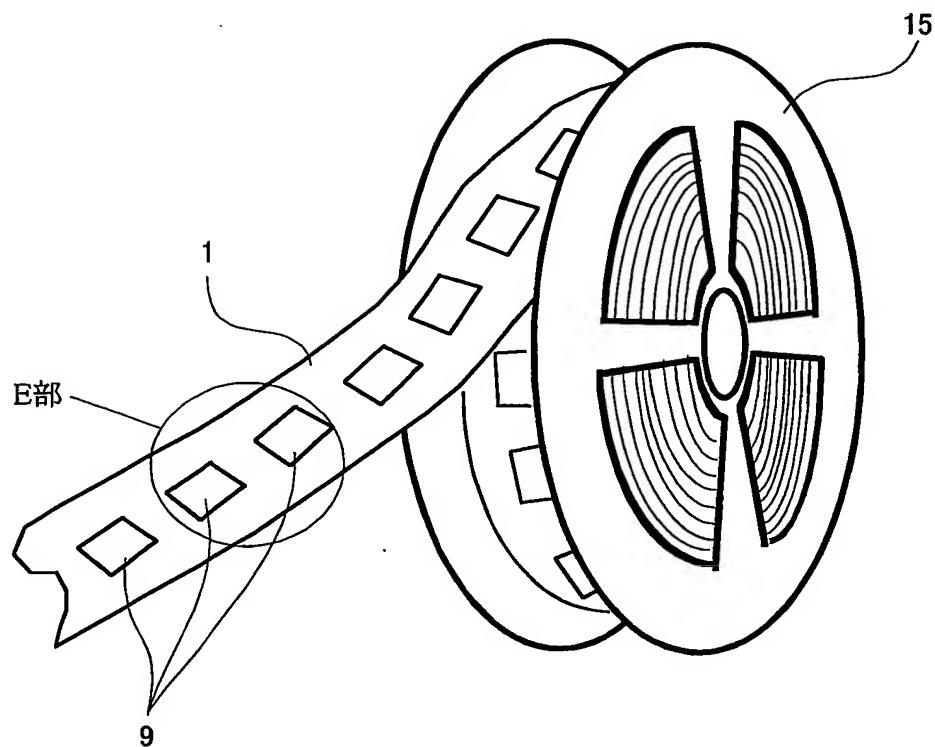


FIG.6

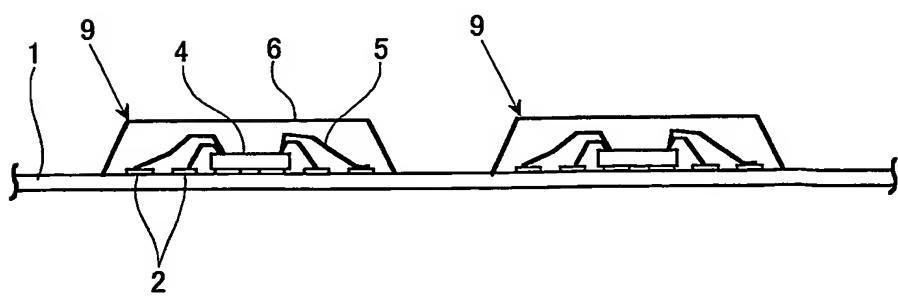


FIG.7

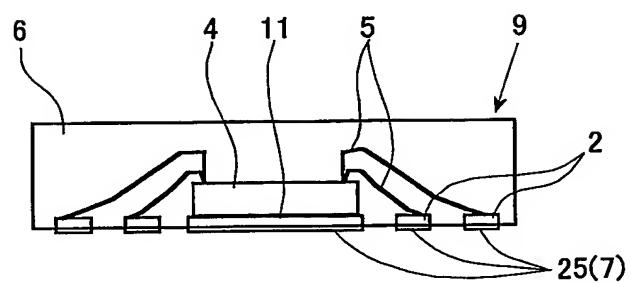


FIG.8

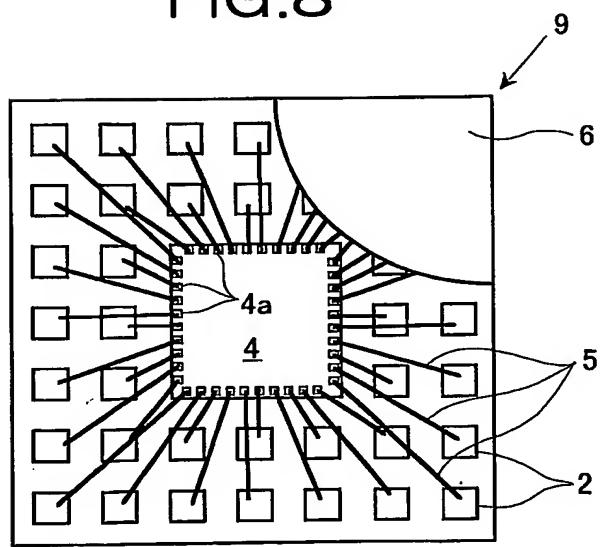


FIG.9

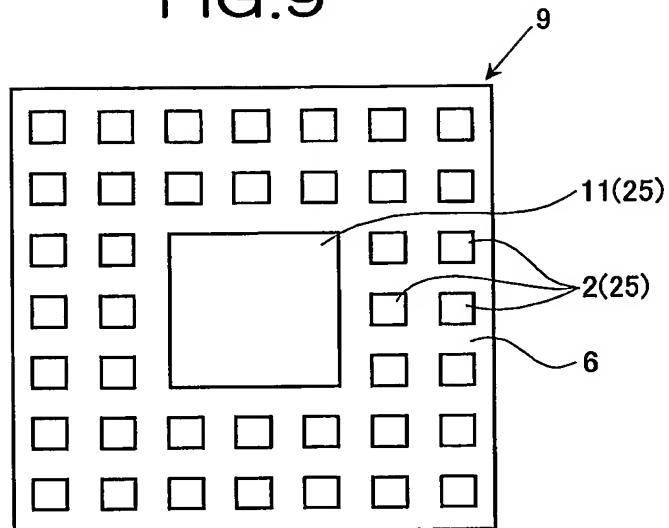


FIG.10

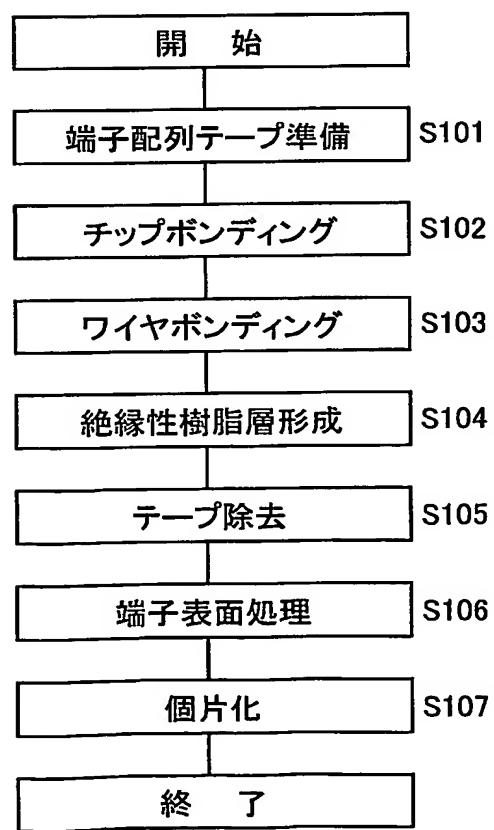


FIG. 11

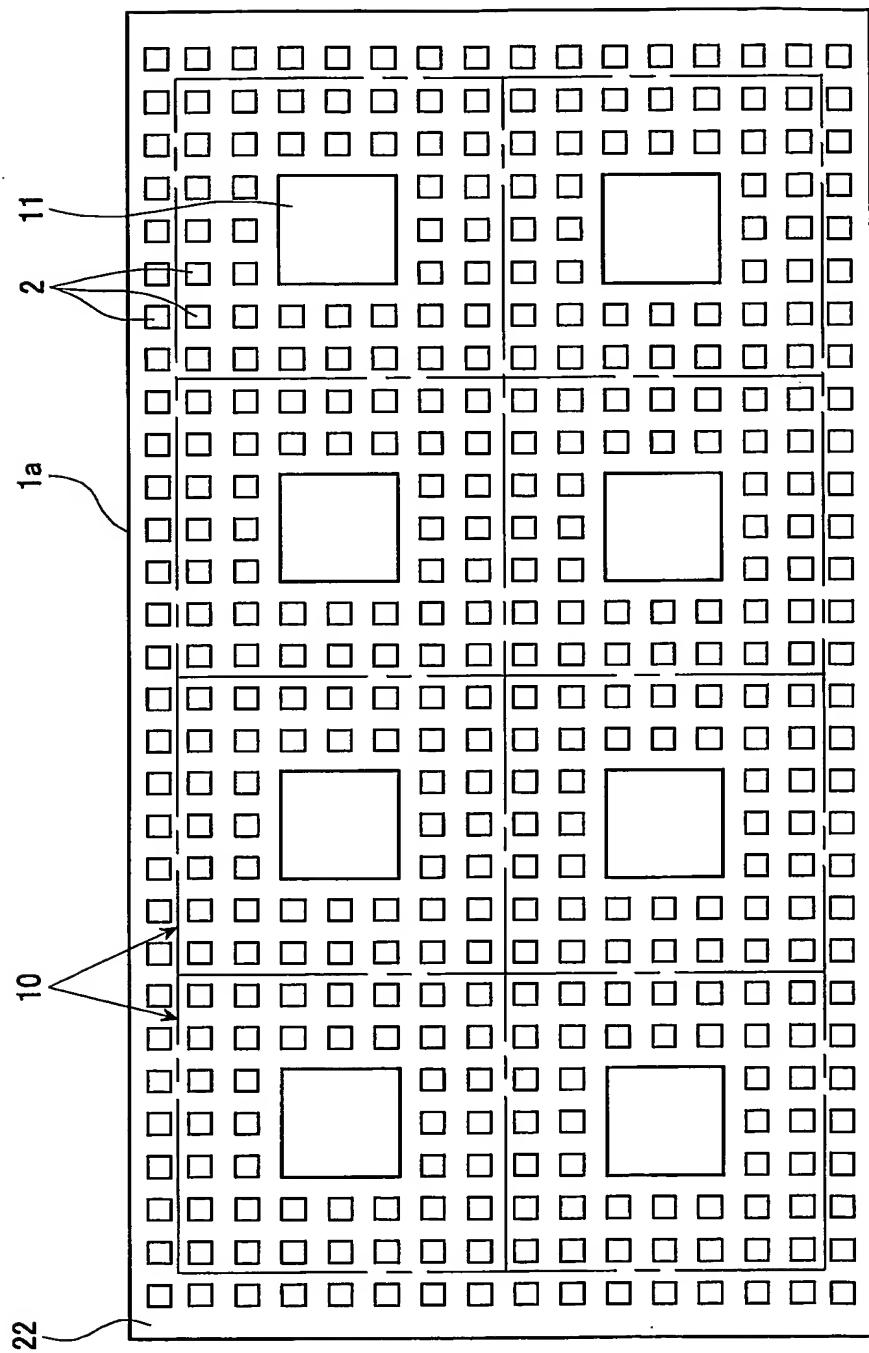


FIG. 12

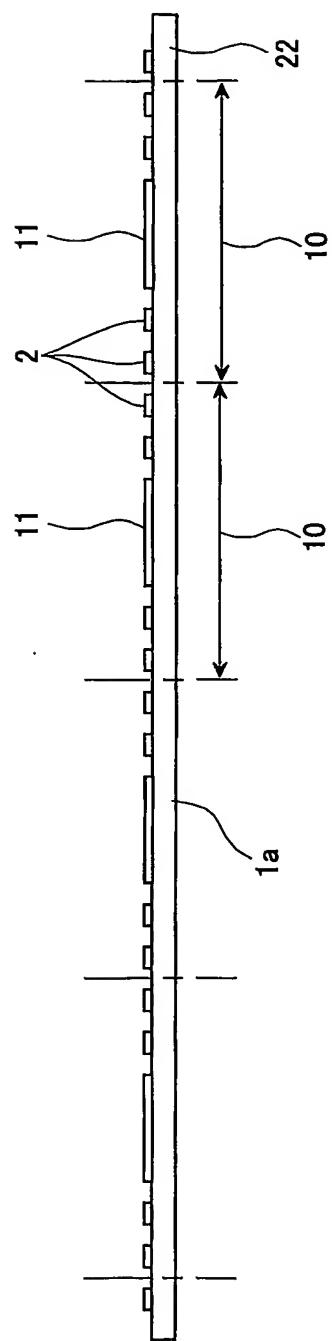


FIG. 13

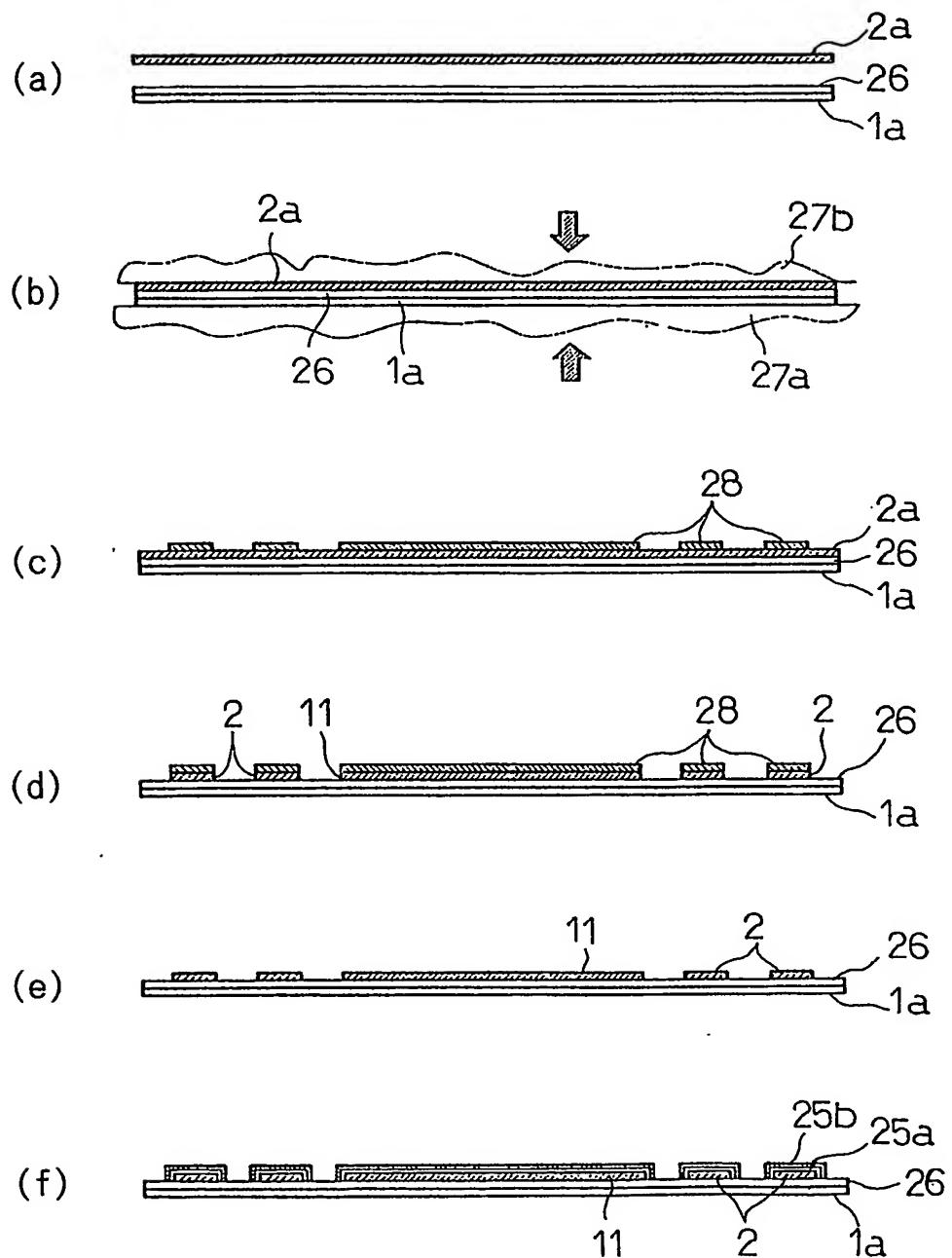


FIG.14

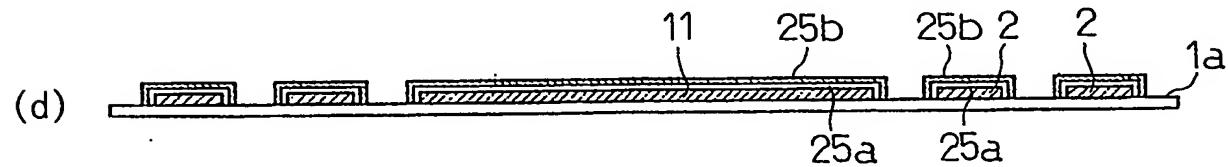
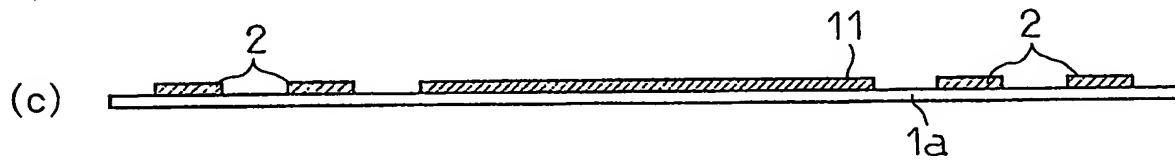
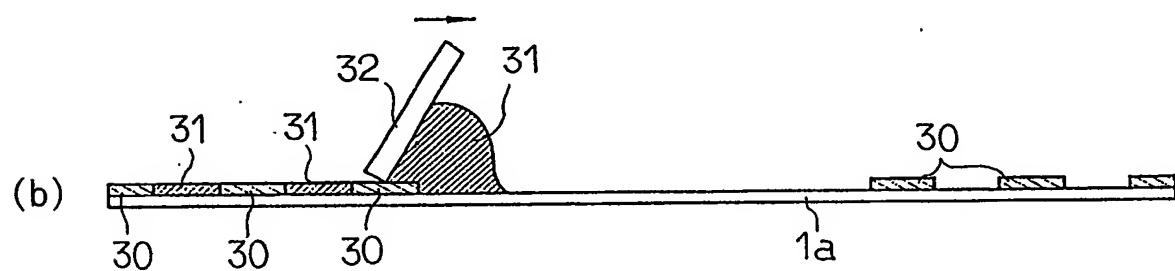
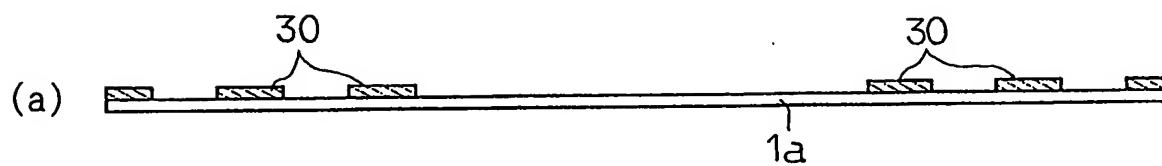


FIG. 15

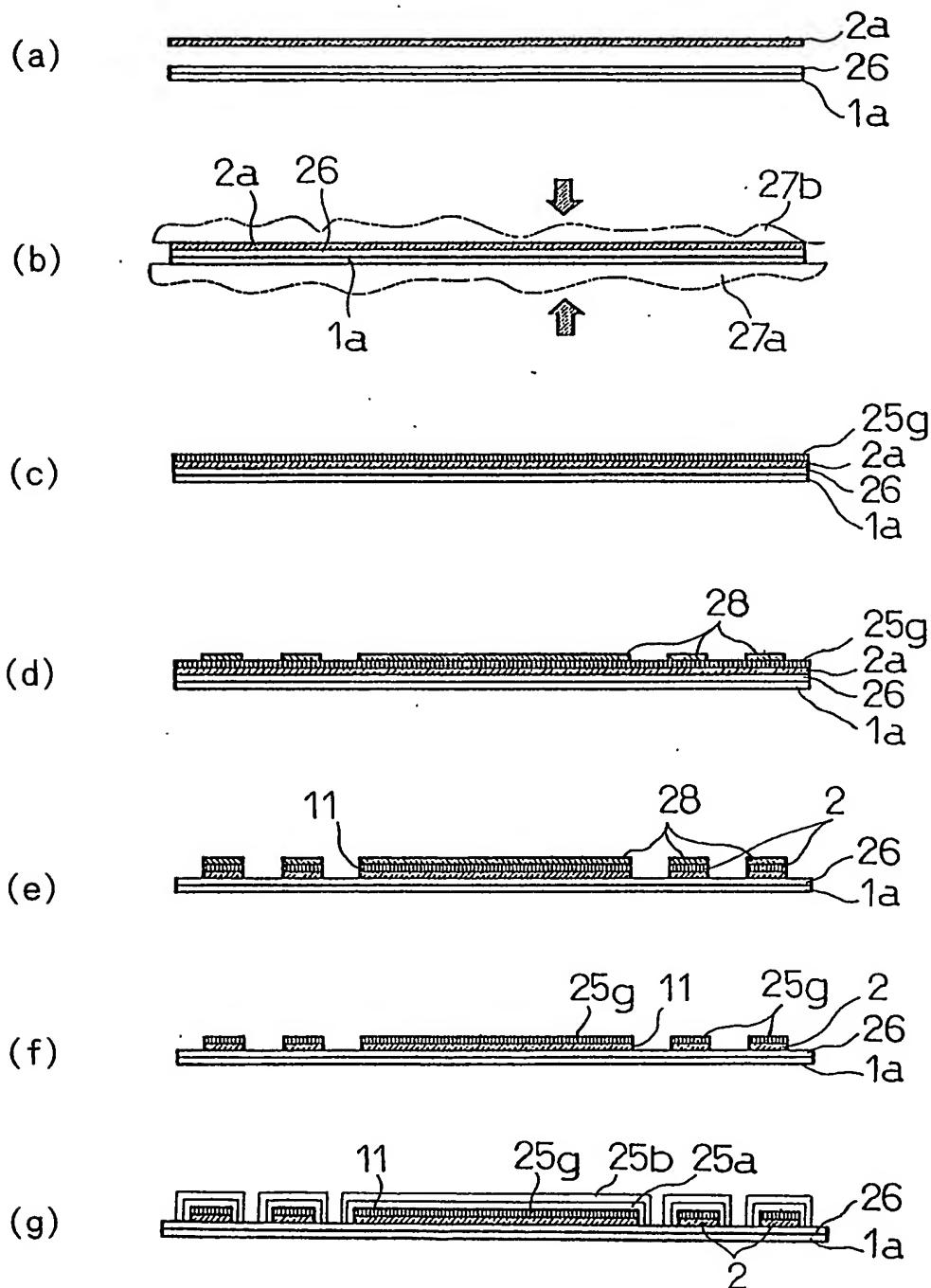


FIG. 16

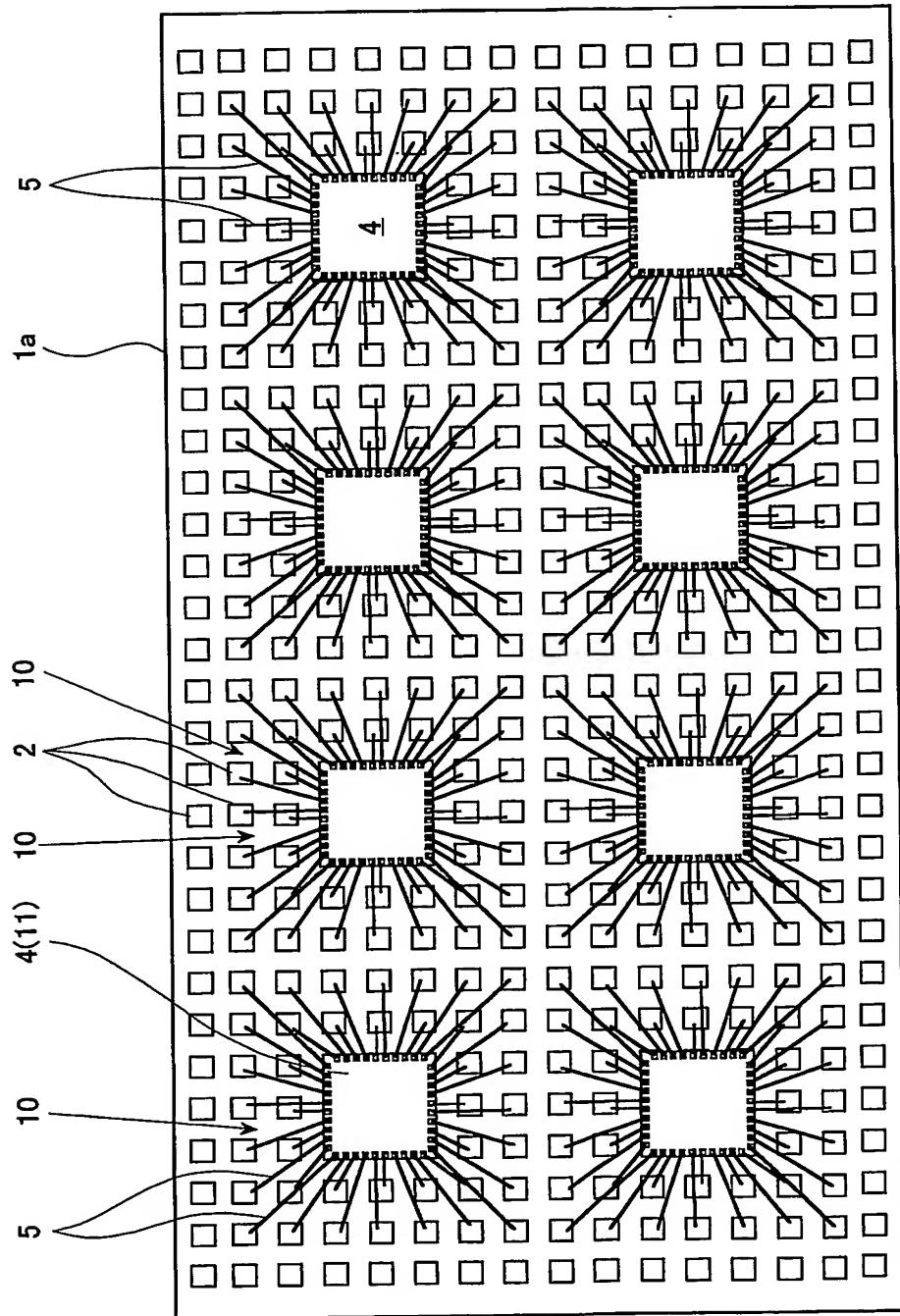


FIG. 17

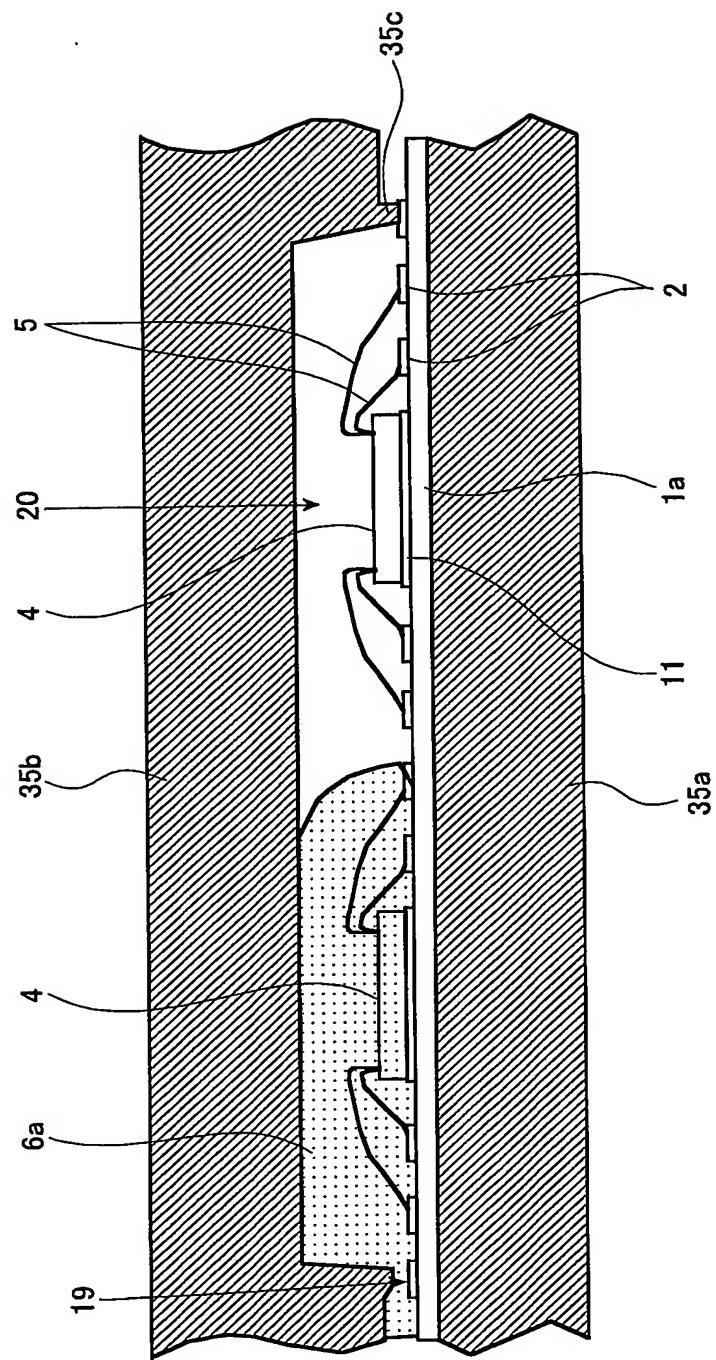
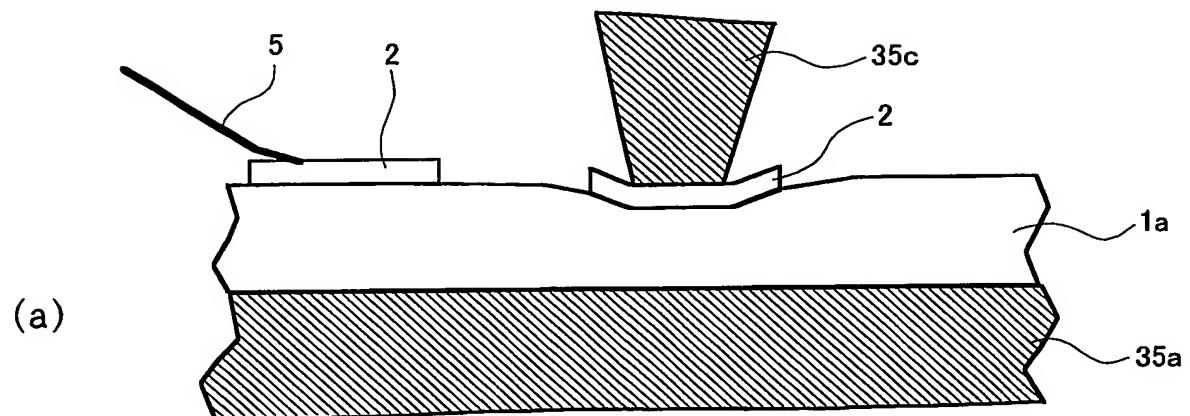
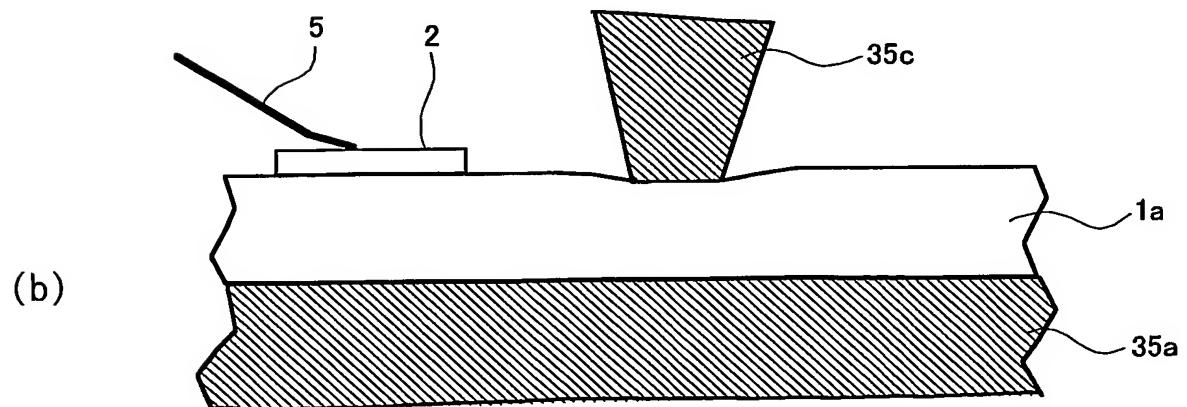


FIG. 18



(a)



(b)

FIG. 19

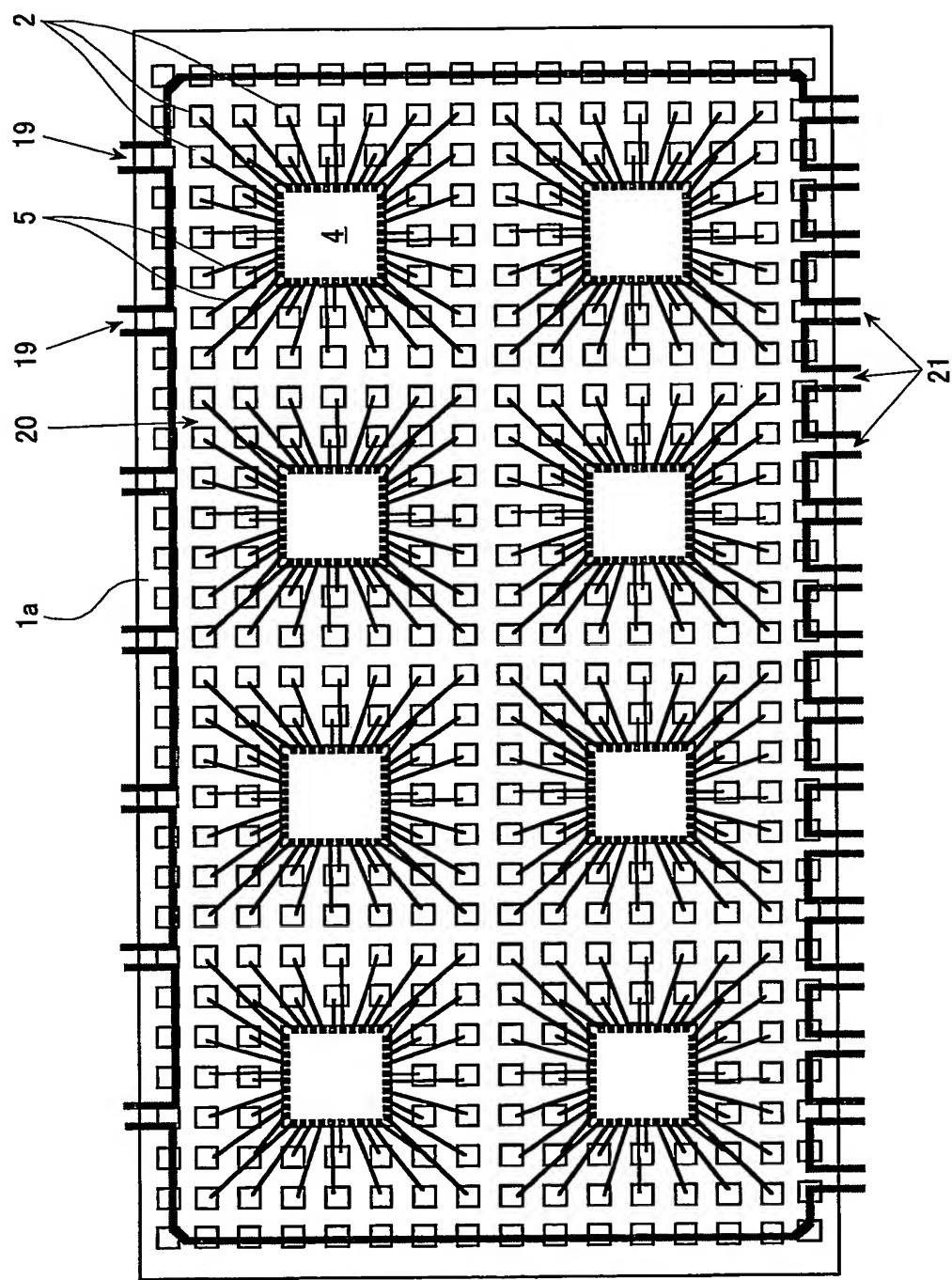


FIG.20

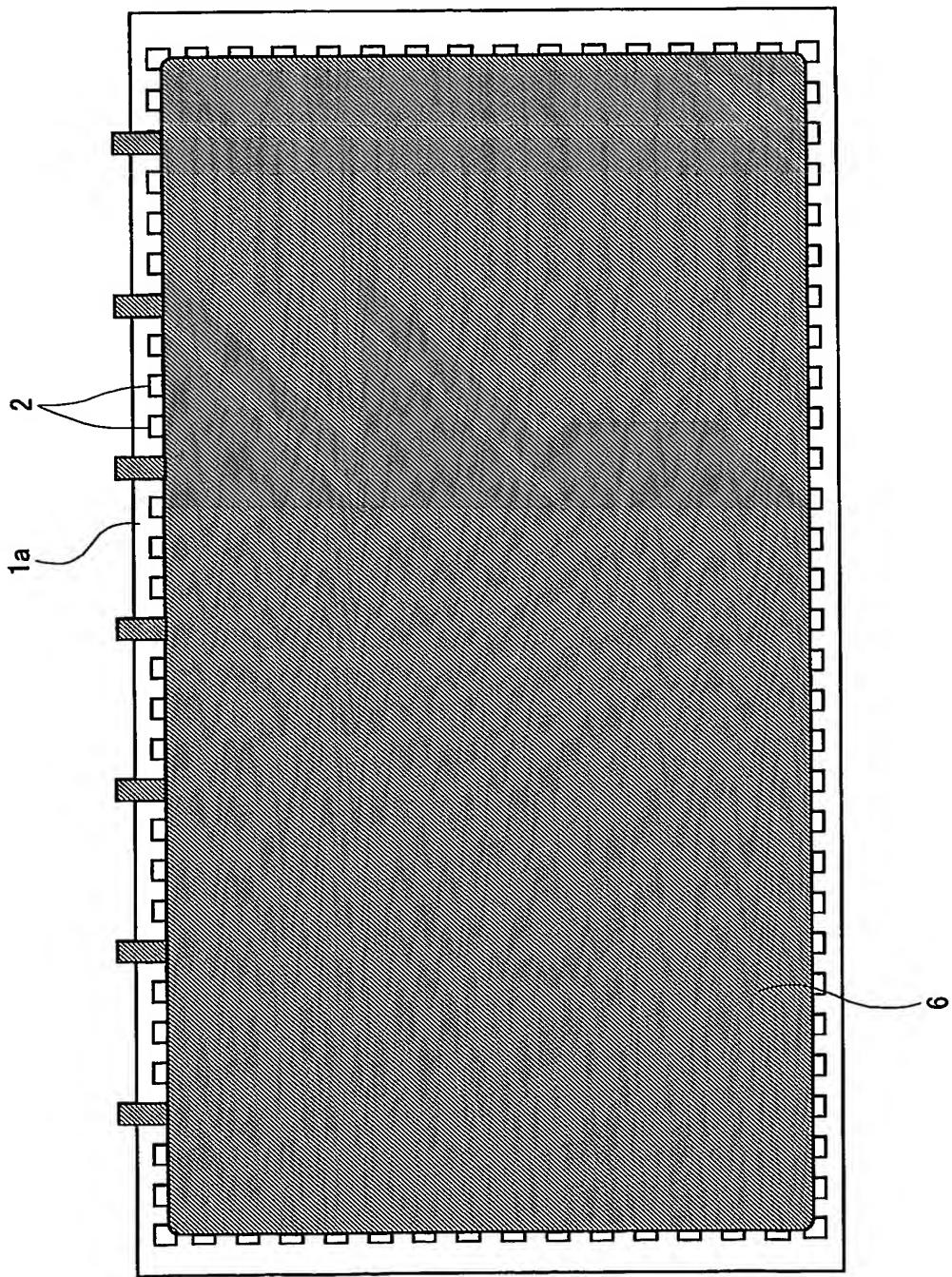


FIG.21

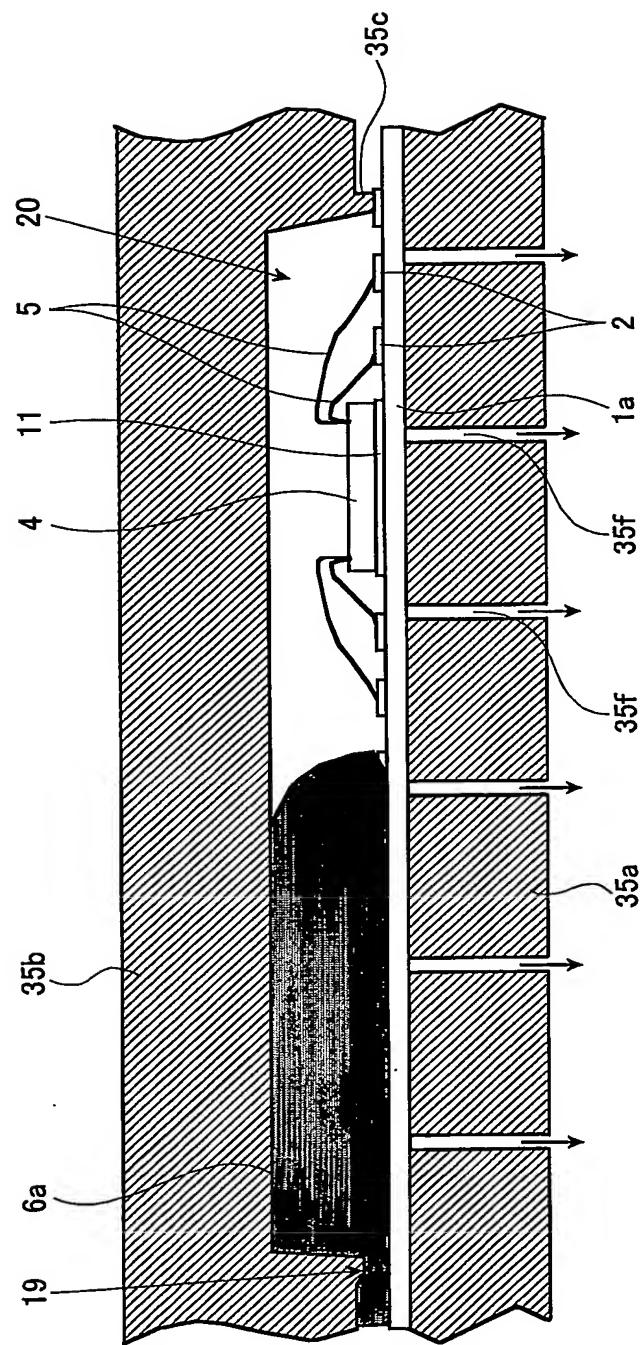


FIG.22

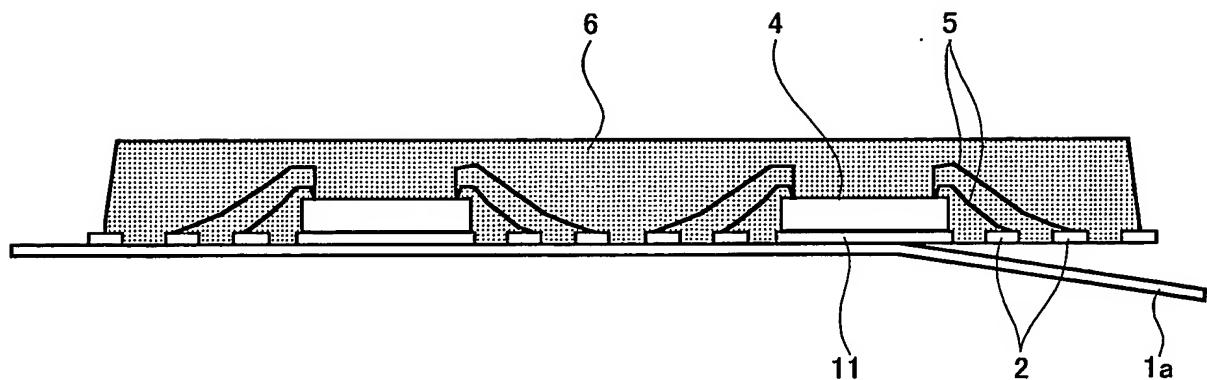


FIG.23

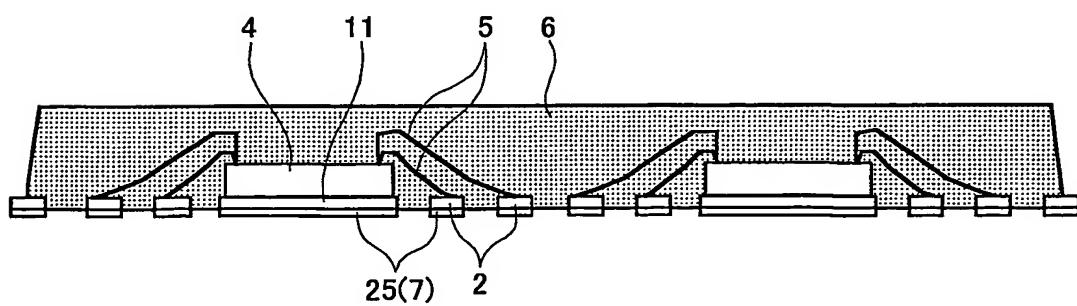


FIG.24

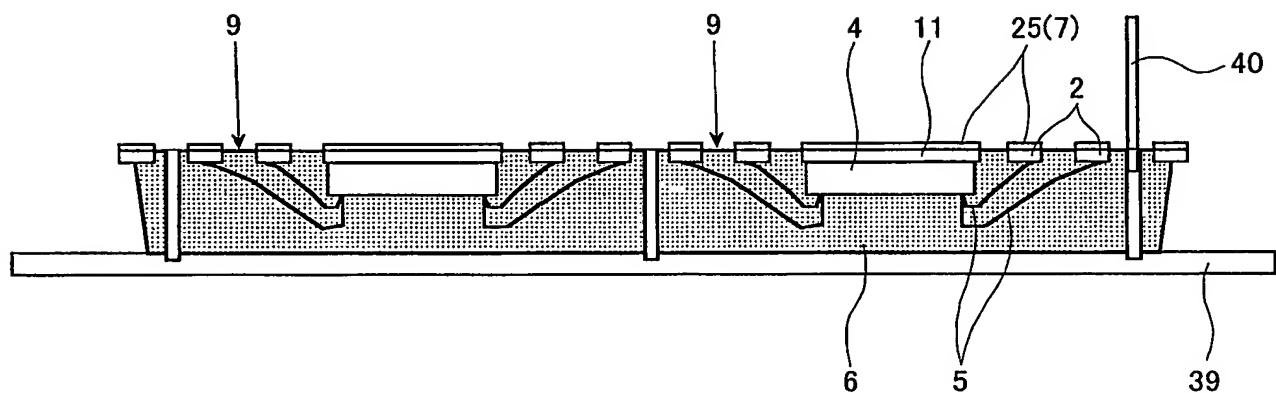


FIG.25

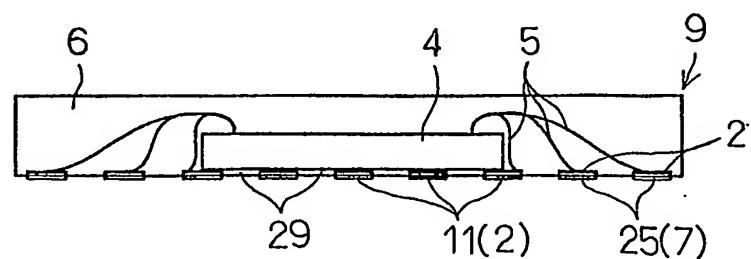


FIG.26

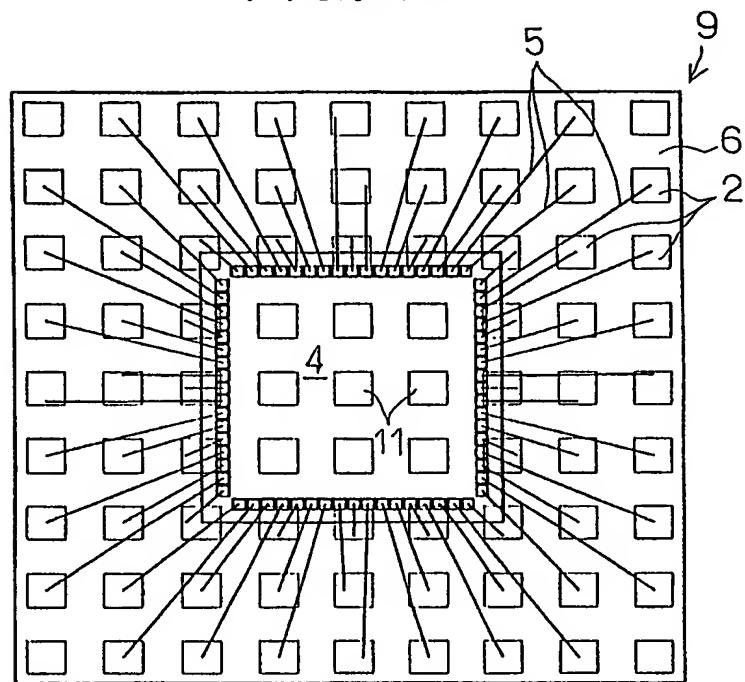


FIG.27

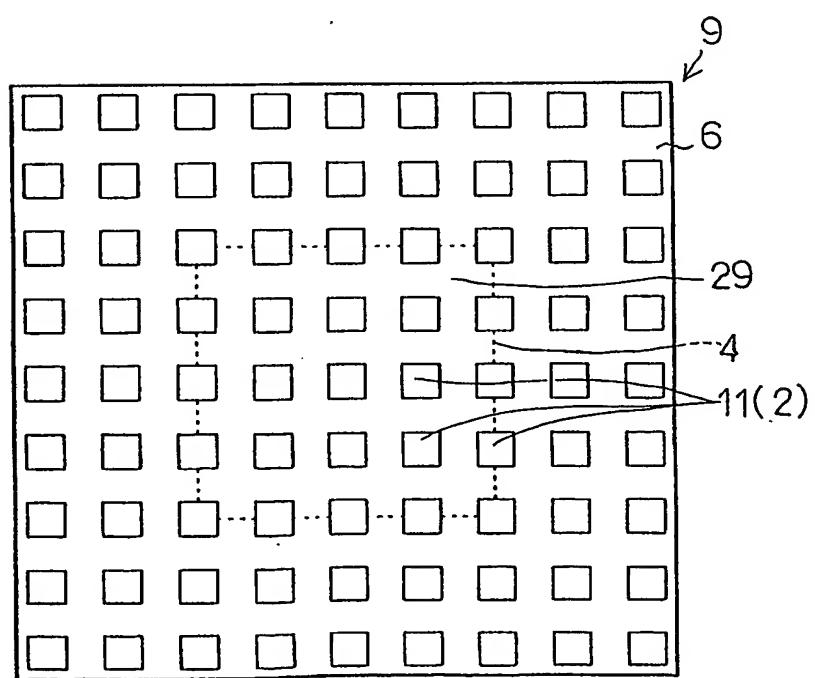


FIG.28

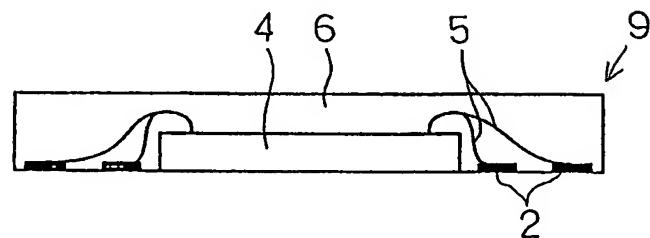


FIG.29

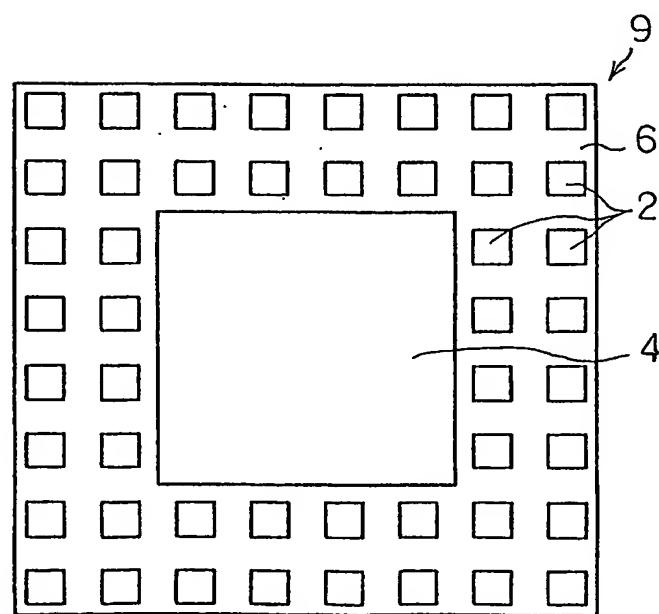


FIG.30

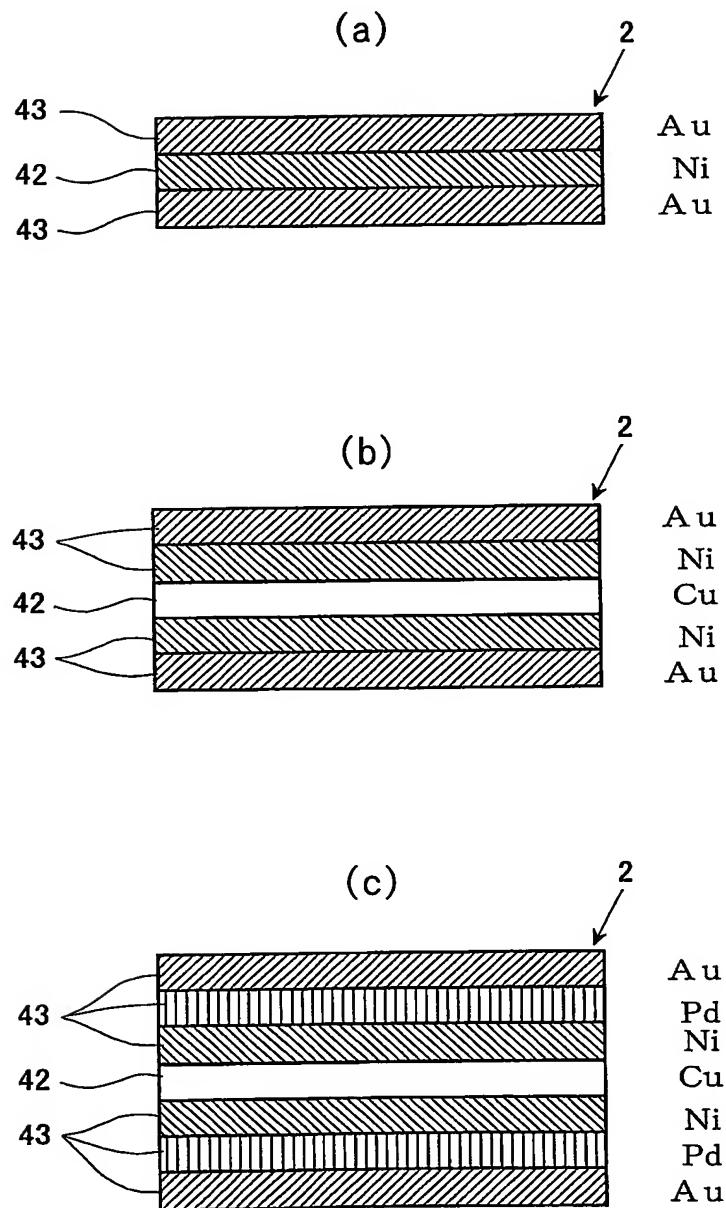


FIG.31

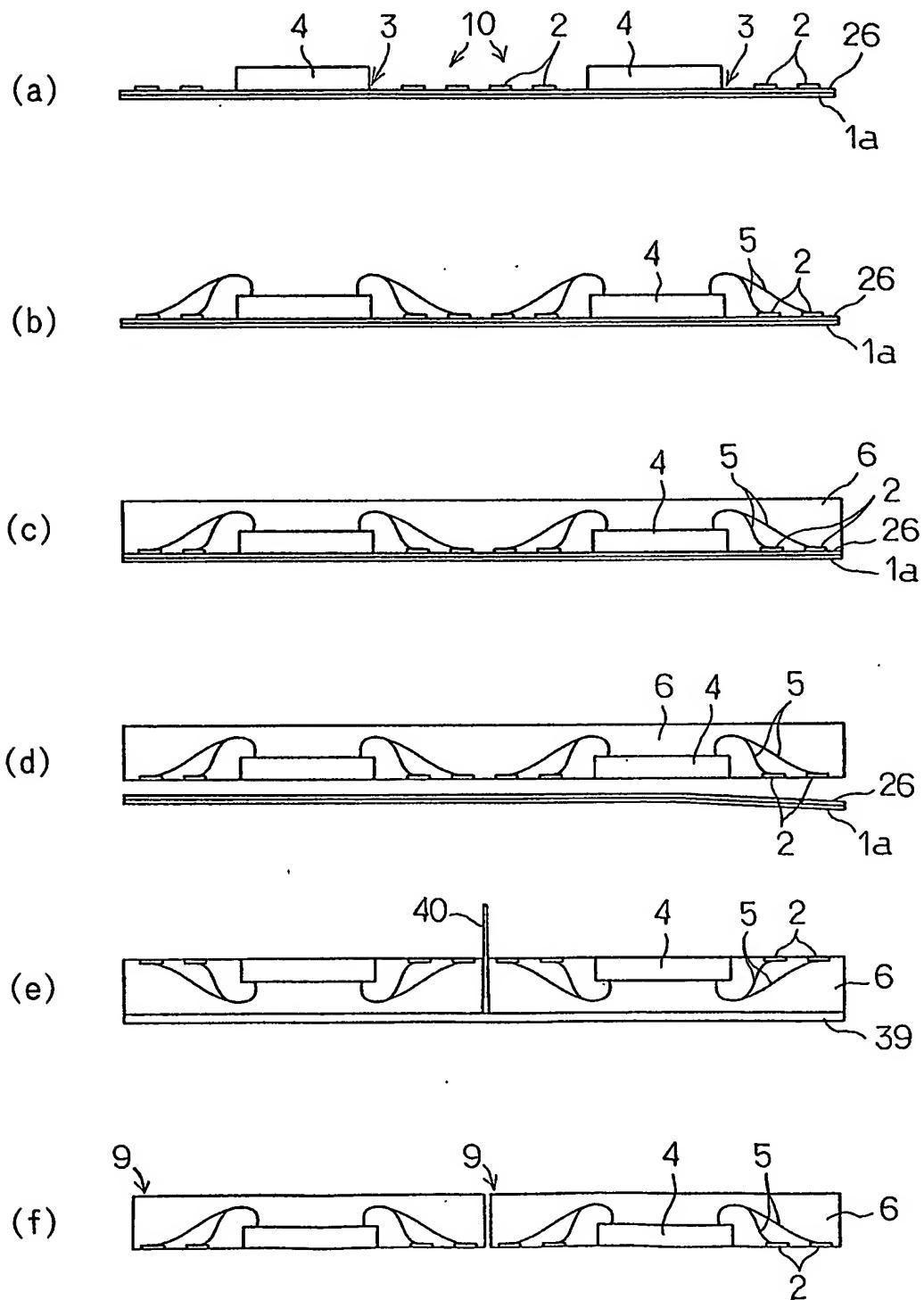


FIG.32

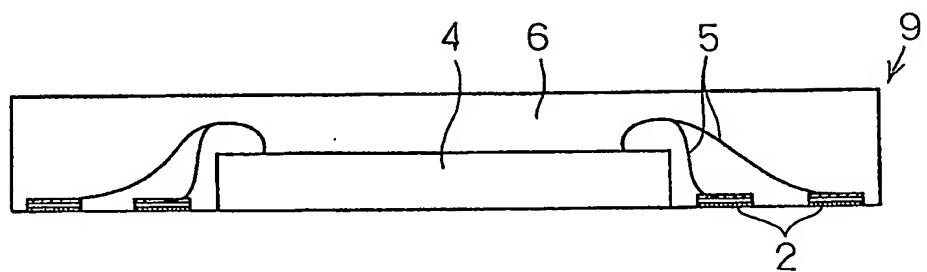


FIG.33

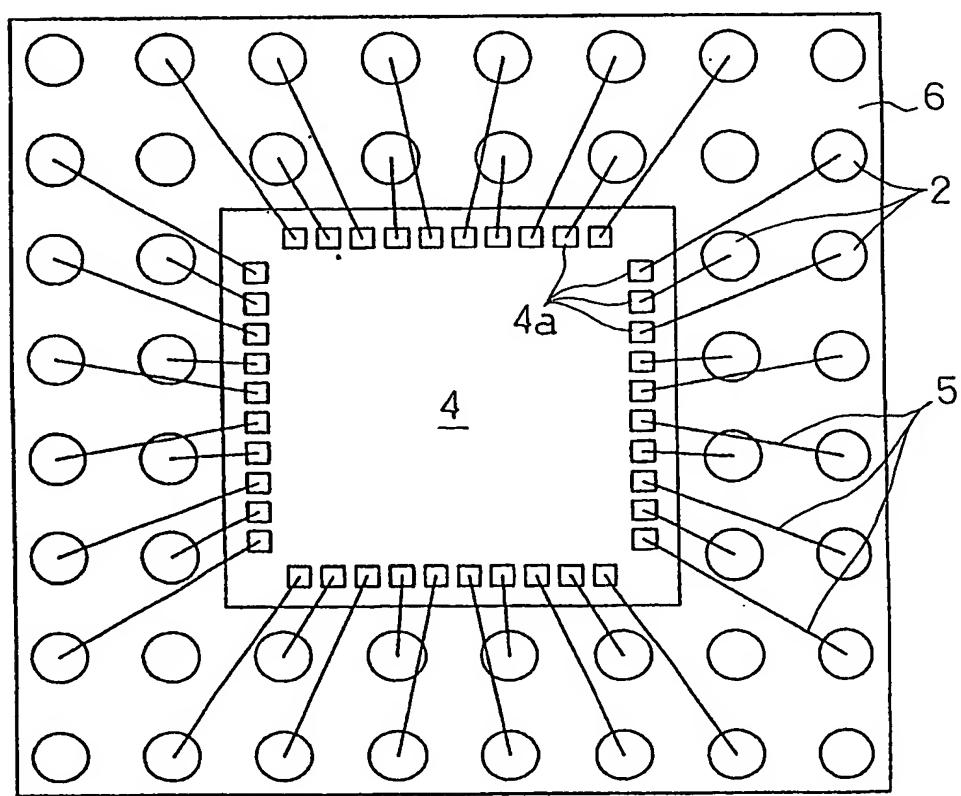


FIG.34

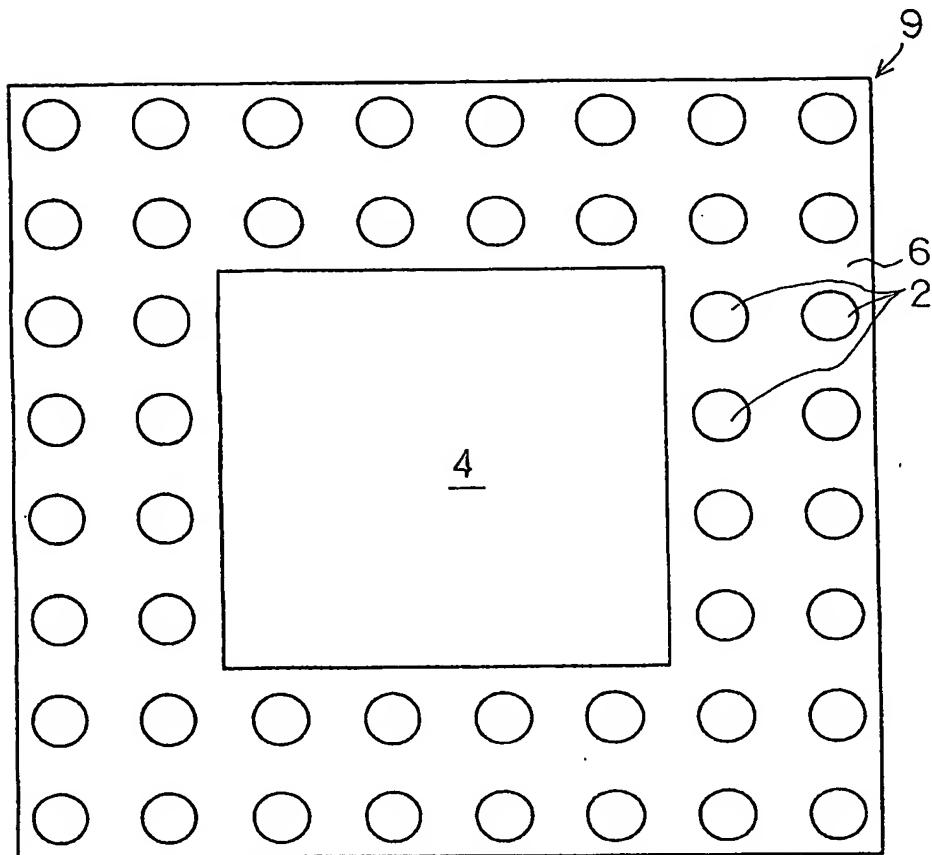


FIG.35

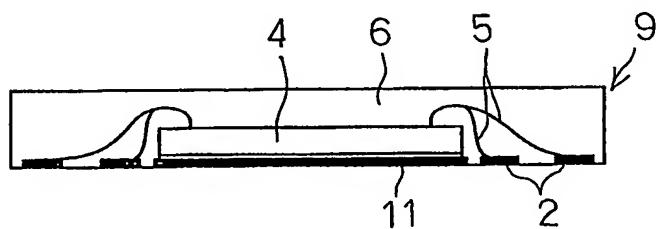


FIG.36

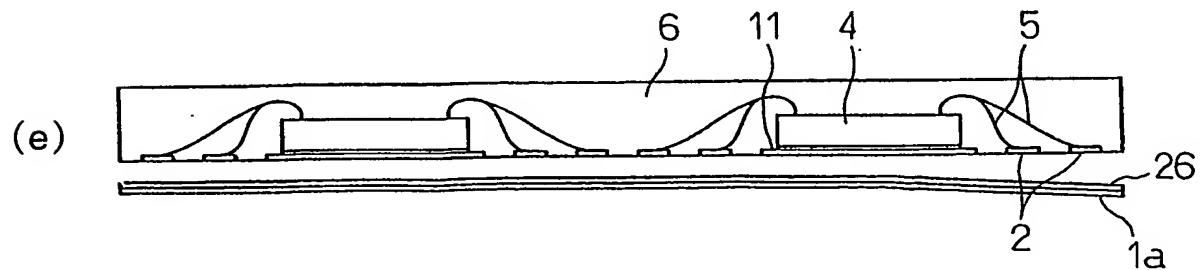
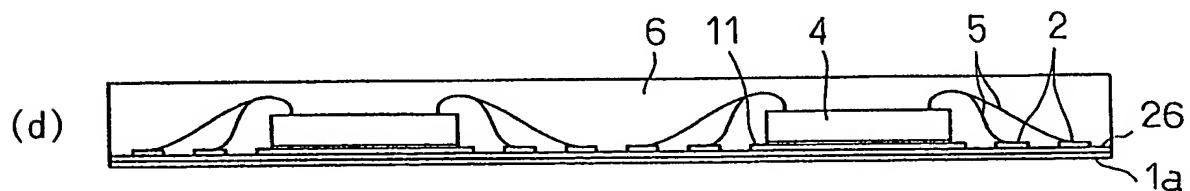
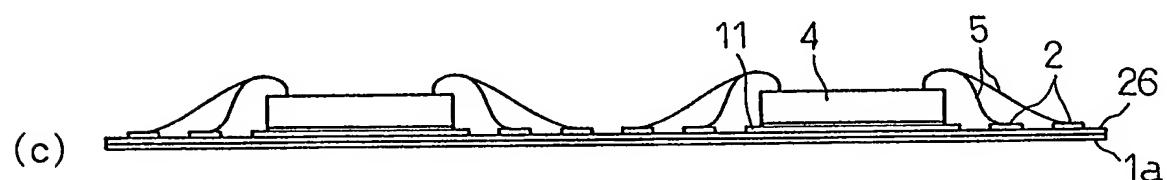
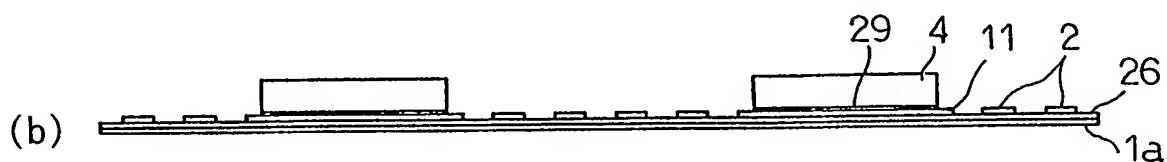
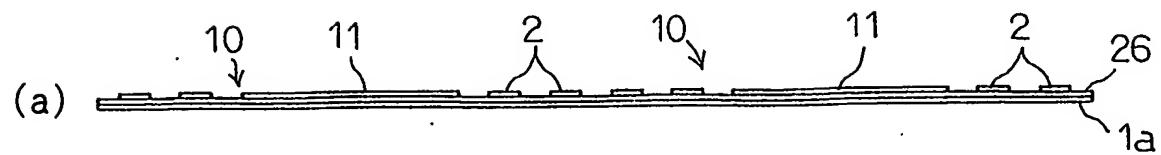


FIG.37

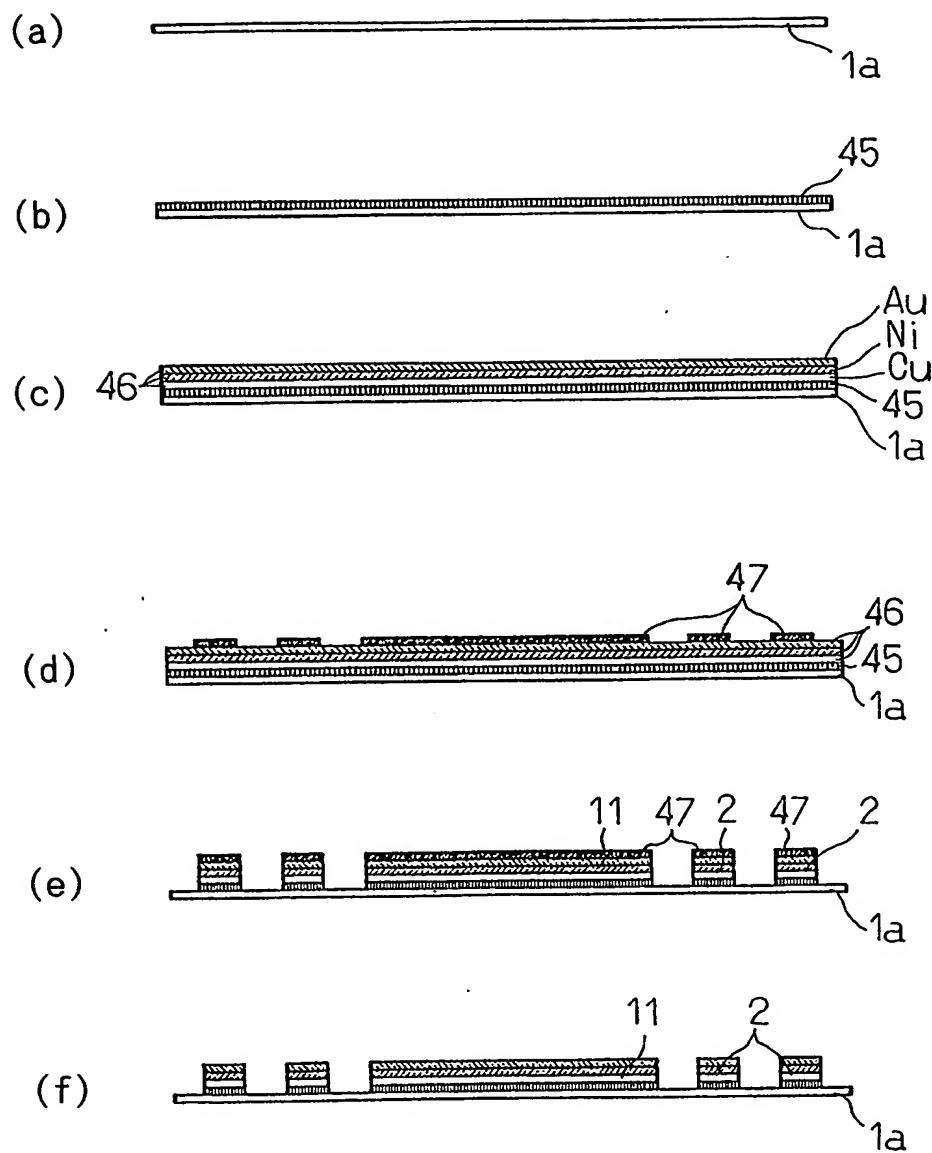


FIG.38

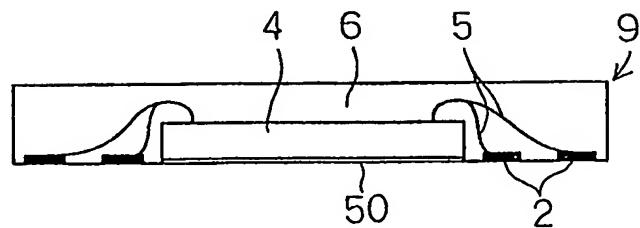


FIG.39

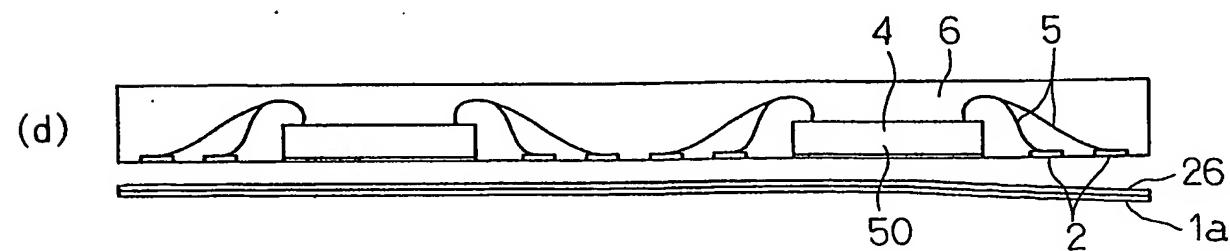
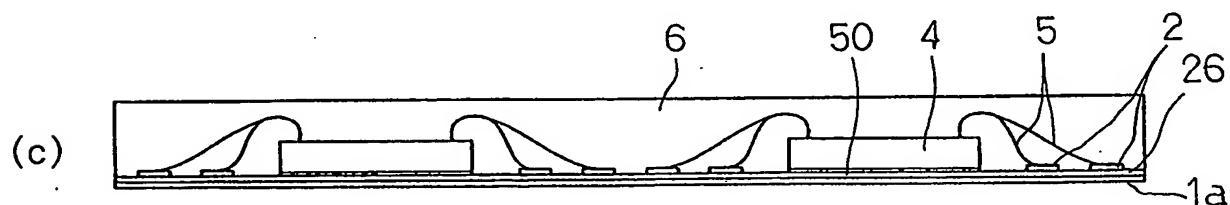
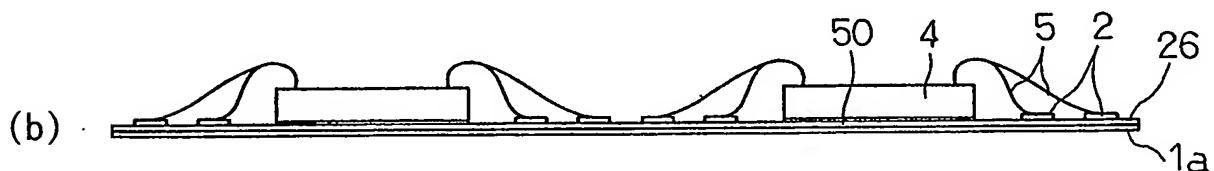
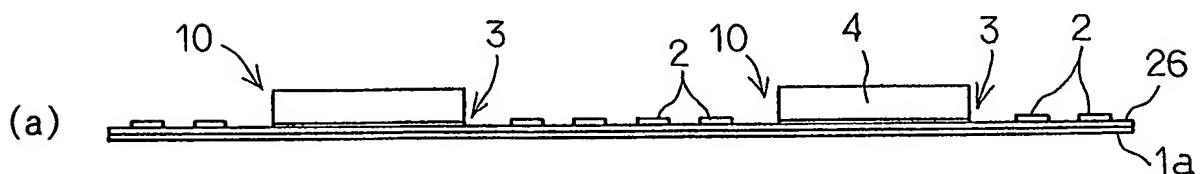


FIG.40

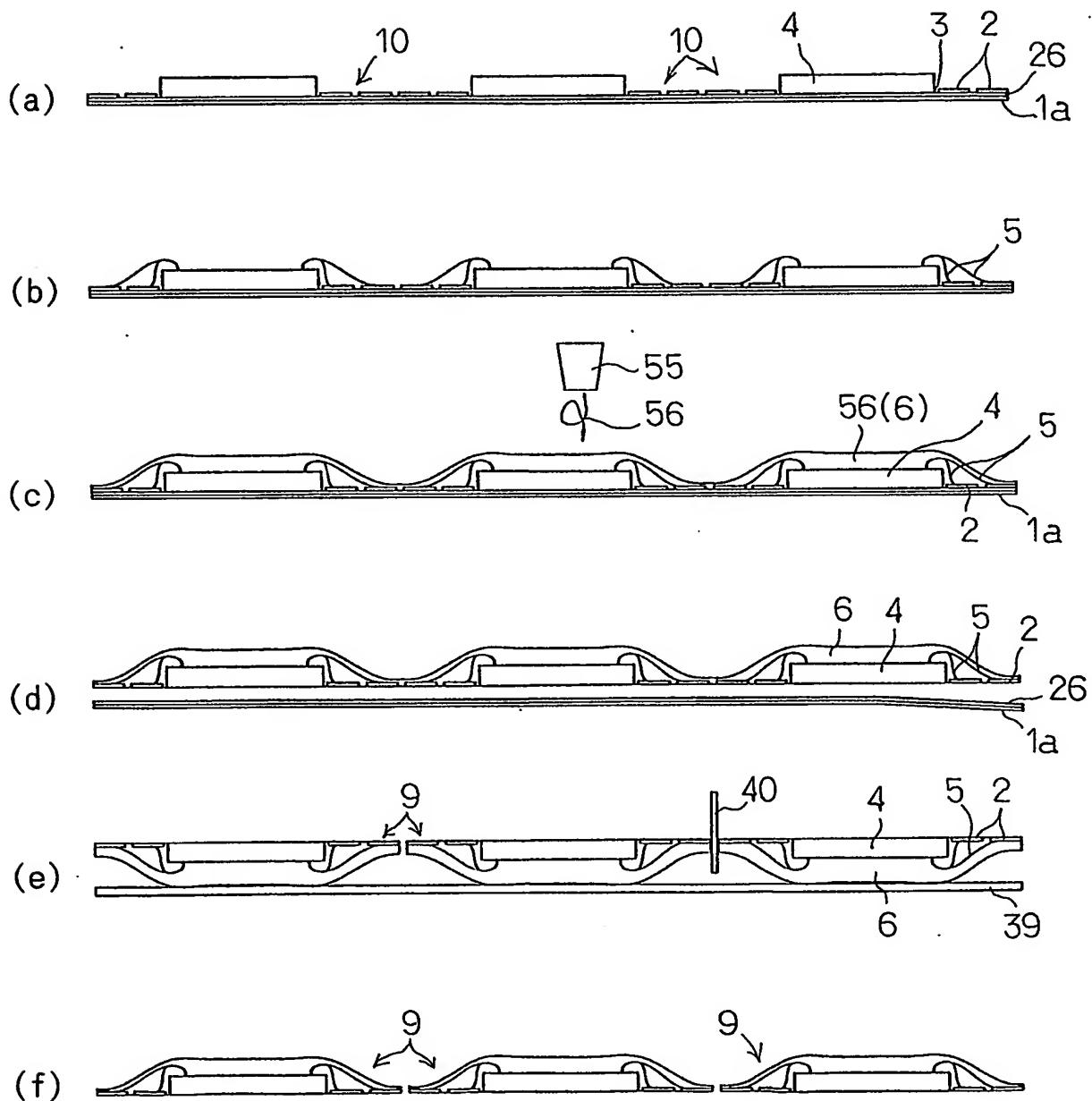


FIG.41

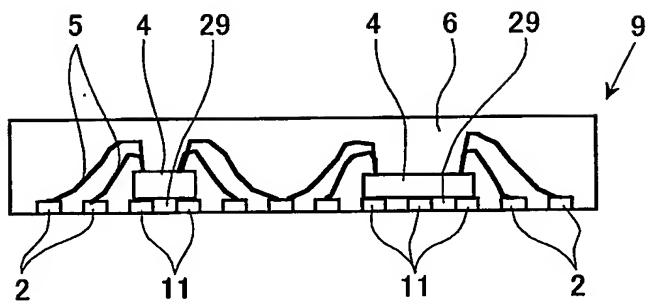


FIG.42

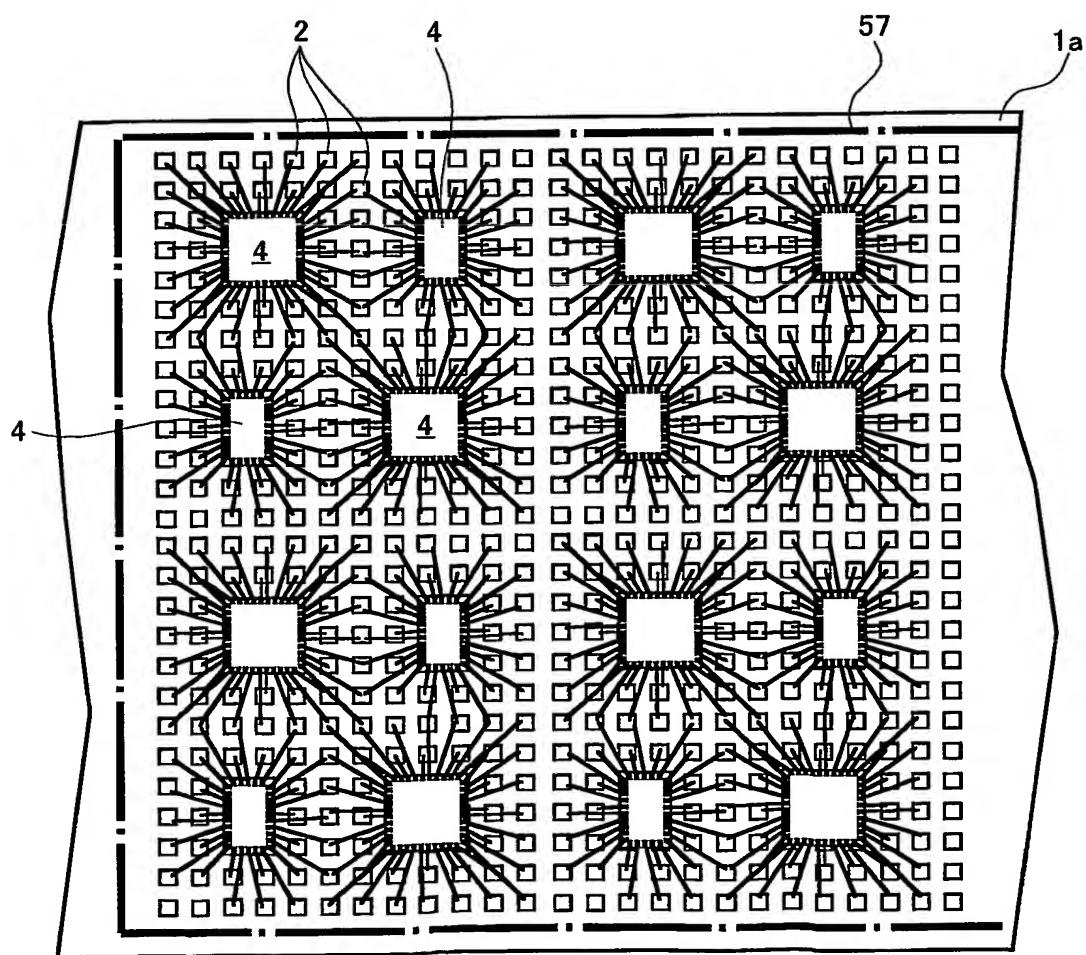


FIG.43

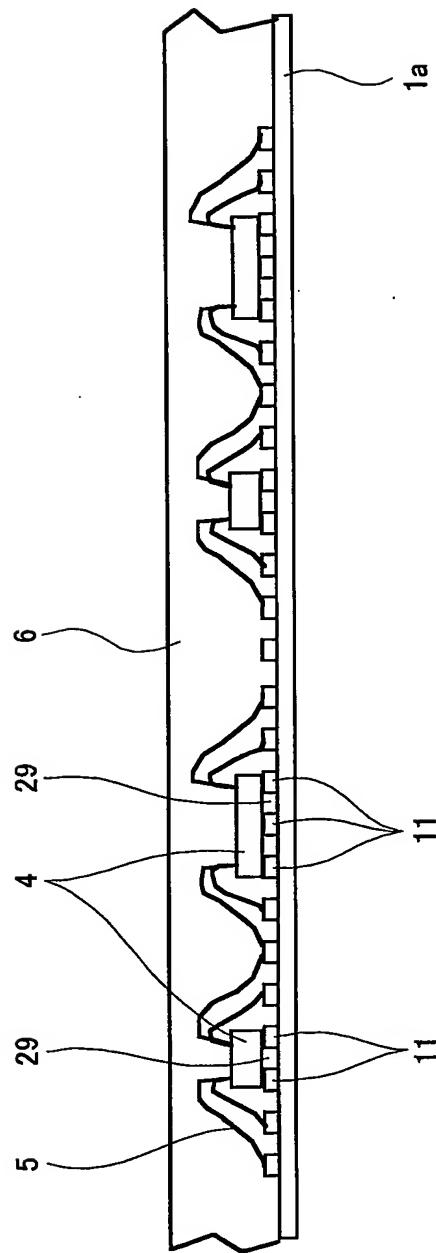


FIG.44

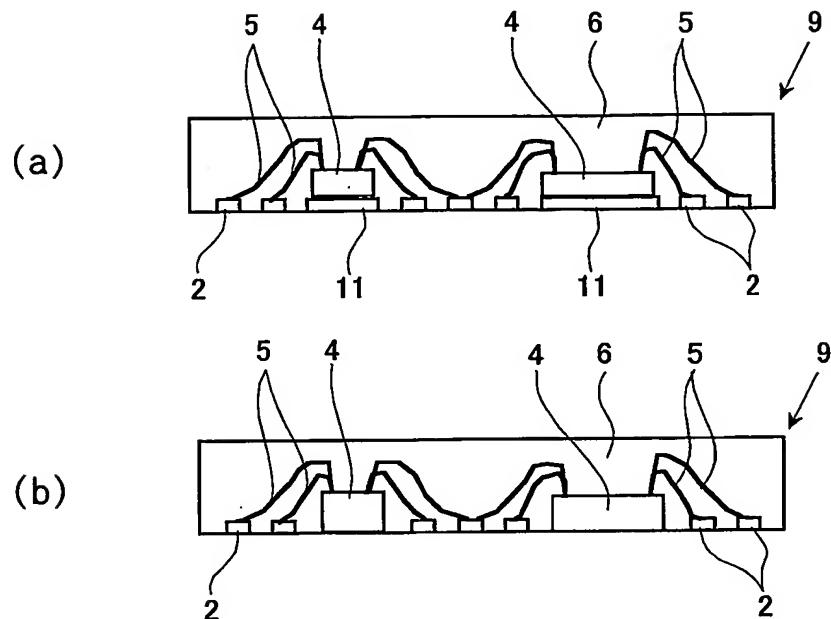


FIG.45

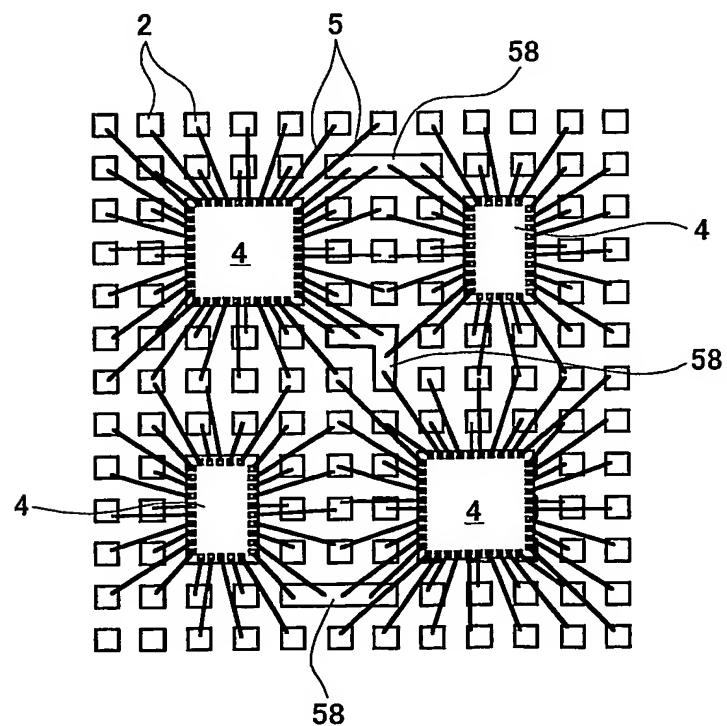


FIG. 46

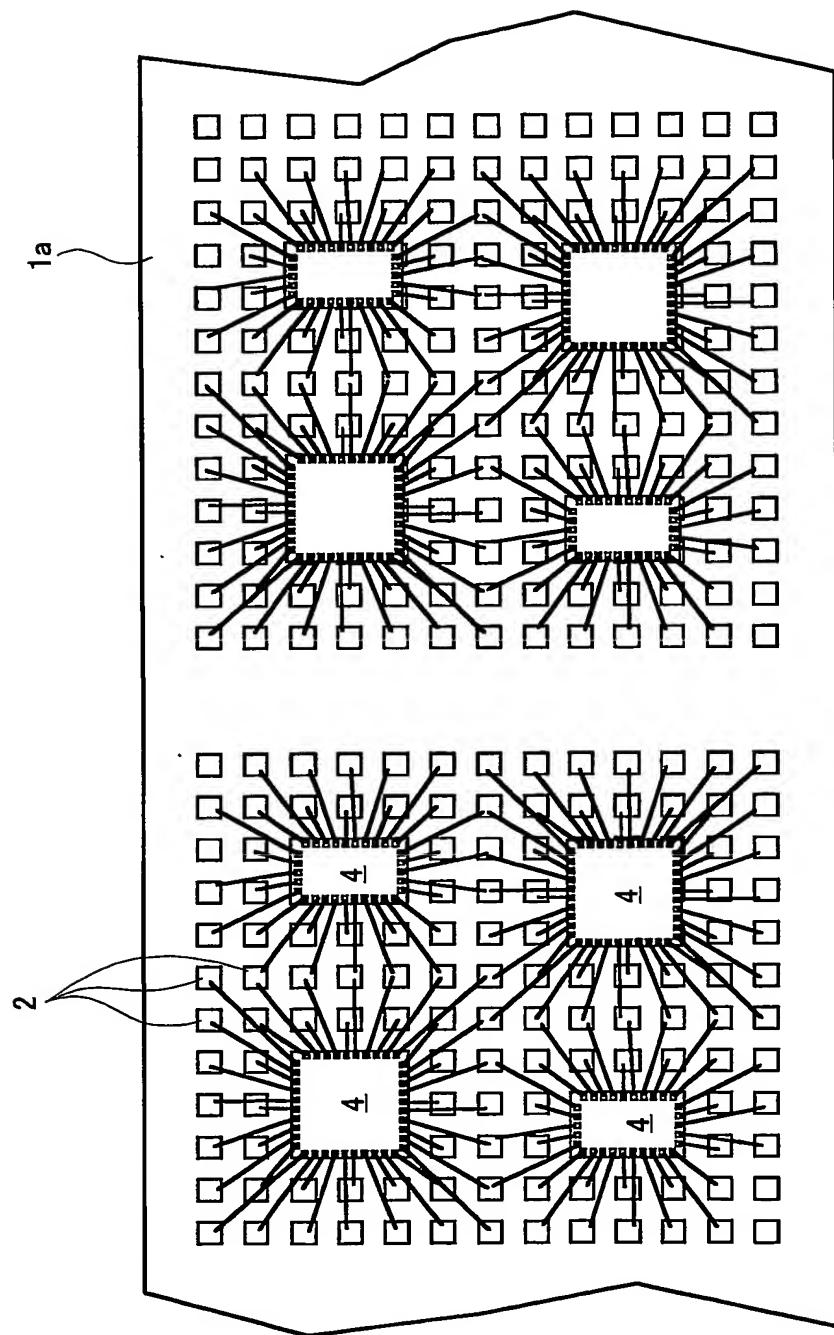


FIG.47

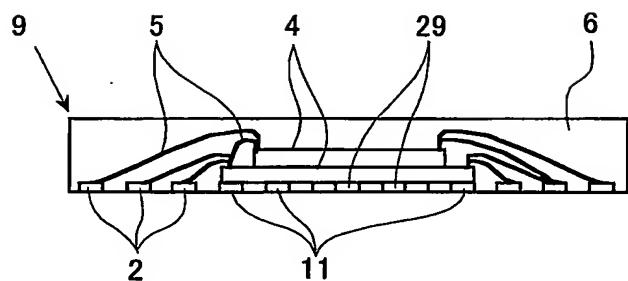


FIG.48

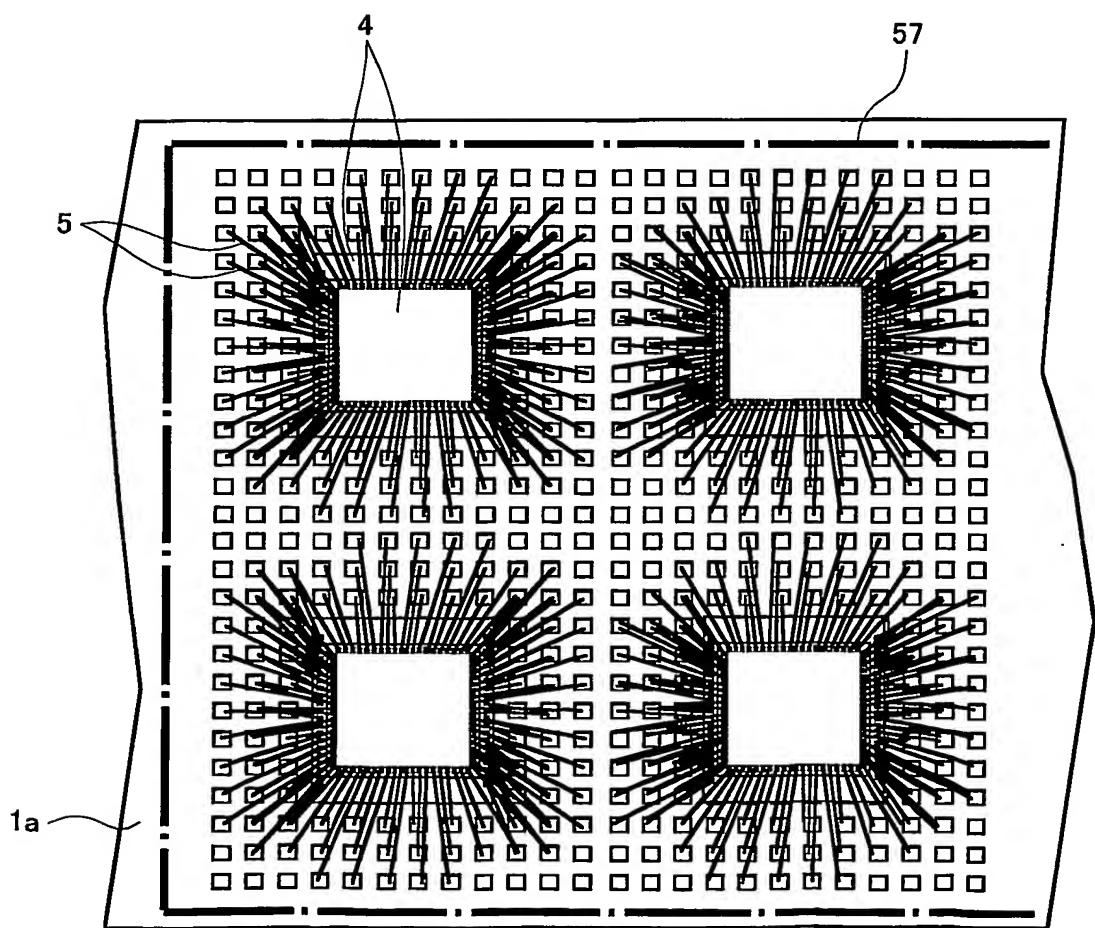


FIG.49

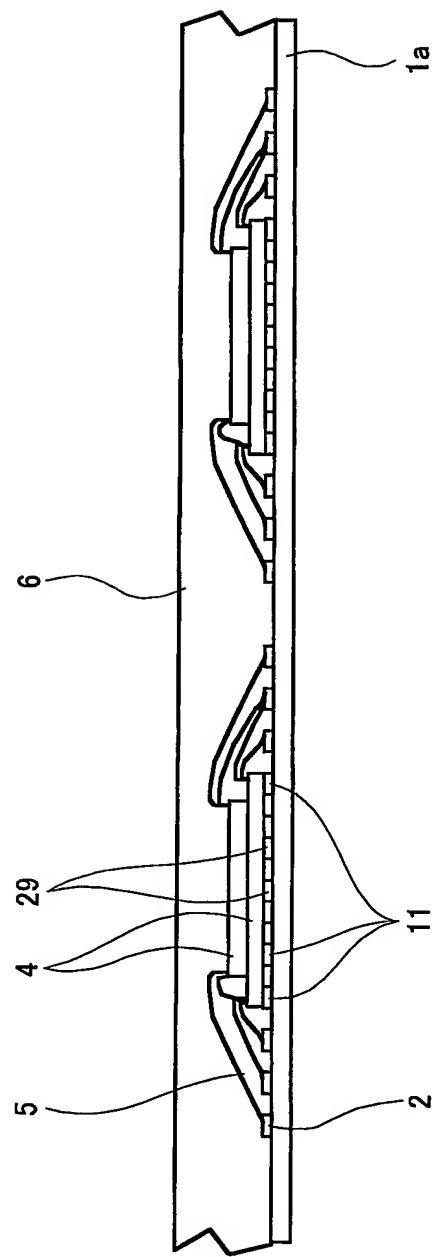


FIG.50

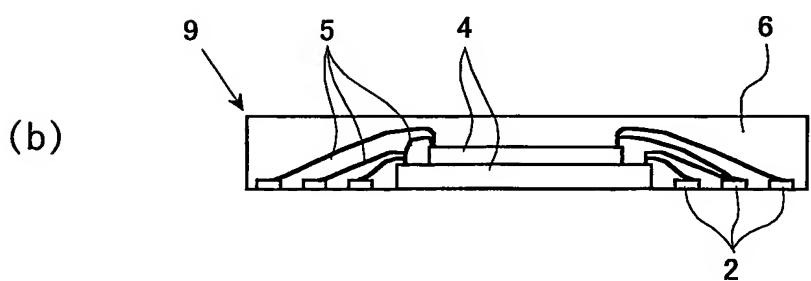
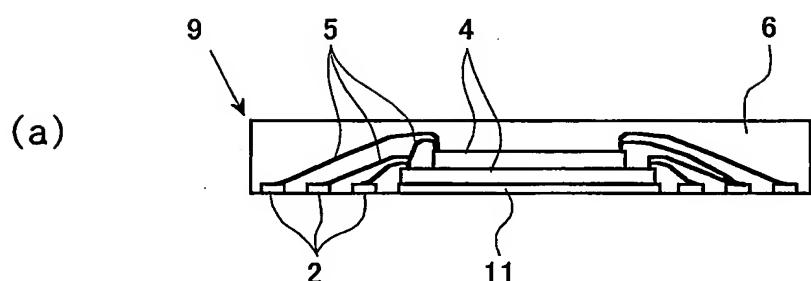
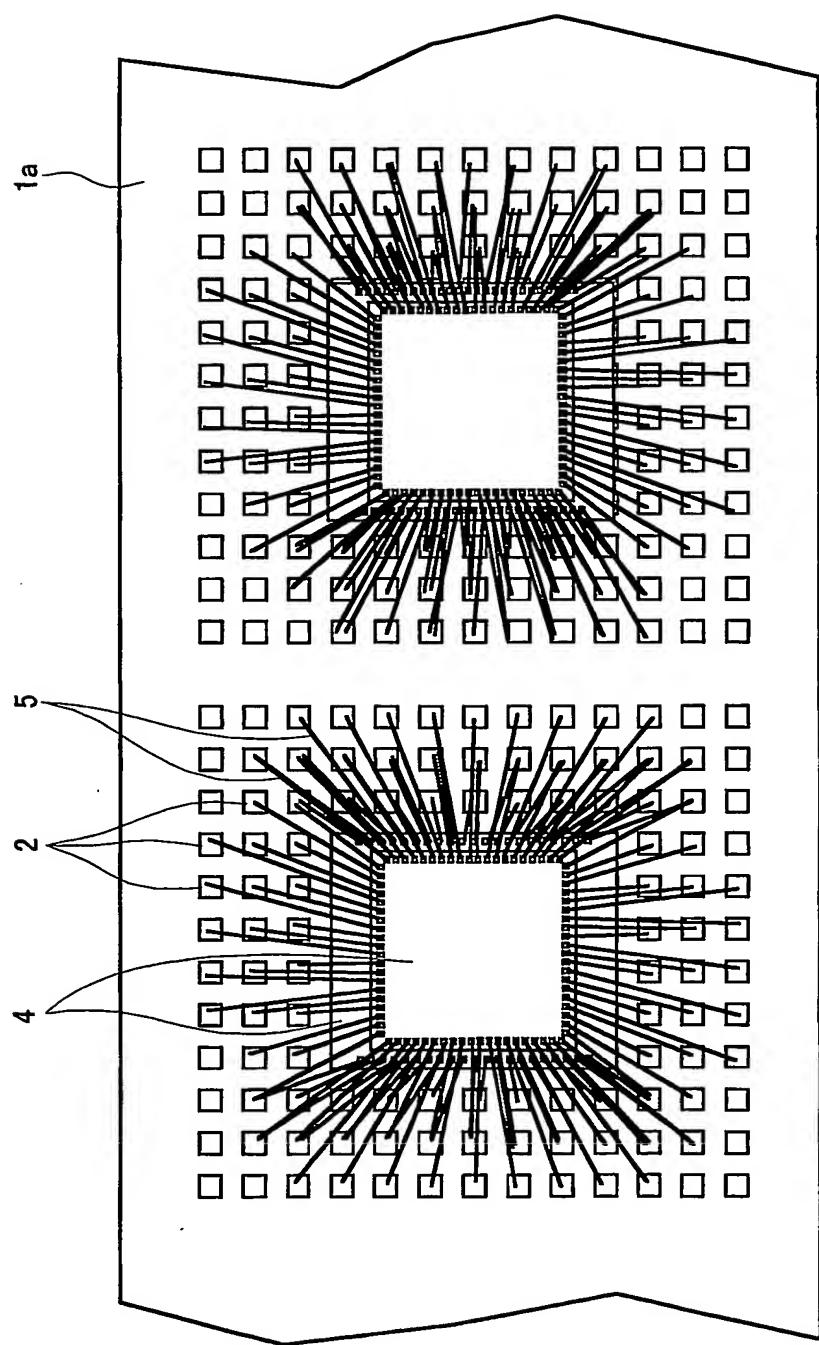


FIG.51



## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04394

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L23/12, 23/50, 21/56, 21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L23/12, 23/48-23/50, 21/60, 25/00-25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1179844 A2 (KOSTAT SEMICONDUCTOR CO., LTD.), 13 February, 2002 (13.02.02), Full text	1,5-8,11,12, 15-22,25-33
Y	& JP 2002-57241 A Full text & US 2002/0041019 A1	2-4,9,10,13, <u>14,23,24,</u> <u>34-38</u>
Y	JP 10-12773 A (Matsushita Electronics Corp.), 16 January, 1998 (16.01.98), Figs. 1, 2 (Family: none)	2
Y	US 2002/0025607 A1 (HITACHI LTD.), 28 February, 2002 (28.02.02), Full text & JP 2002-76040 A Full text	2

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 23 June, 2003 (23.06.03)	Date of mailing of the international search report 08 July, 2003 (08.07.03)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04394

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 773584 A2 (FUJITSU LTD.), 14 May, 1997 (14.05.97), Figs. 116 to 131 & JP 10-116935 A Figs. 1 to 22 & US 6072239 A	3, 4, 9, 10, 23, 24, 34-37
Y	JP 2001-127199 A (Matsushita Electronics Corp.), 11 May, 2001 (11.05.01), Figs. 10 to 21 (Family: none)	13, 14, 31, 32
Y	EP 289102 A2 (LSI LOGIC CORP.), 02 November, 1988 (02.11.88), Full text & JP 02-244646 A Full text & US 4790897 A	38
A	JP 03-94459 A (Shinko Electric Industries Co., Ltd.), 19 April, 1991 (19.04.91), Full text (Family: none)	1-38

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L 23/12, 23/50, 21/56, 21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L 23/12, 23/48-23/50, 21/60, 25/00-25/18

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	E P 1 1 7 9 8 4 4 A 2 (KOSTAT SEMICONDUCTOR CO. LTD.) 2 0 0 2 . 0 2 . 1 3 , 全文 & J P 2 0 0 2 - 5 7 2 4 1 A, 全文 & U S 2 0 0 2 / 0 0 4 1 0 1 9 A 1	1, 5-8, 11, 12, 15-22, 25-33  <u>2-4, 9, 10, 13,</u> <u>14, 23, 24,</u> <u>34-38</u>
Y	J P 1 0 - 1 2 7 7 3 A (松下電子工業株式会社) 1 9 9 8 . 0 1 . 1 6 , 図1, 図2 (ファミリーなし)	2

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 6 . 0 3

国際調査報告の発送日

08.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 英夫

4 R 9 6 3 1



電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	US 2002/0025607 A1 (HITACHI LTD.) 2002. 02. 28, 全文 & JP 2002-76040 A, 全文	2
Y	EP 773584 A2 (FUJITSU LTD.) 1997. 05. 14, FIG. 116-131 & JP 10-116935 A, 図1-22 & US 6072239 A	3, 4, 9, 10, 23, 24, 34-37
Y	JP 2001-127199 A (松下電子工業株式会社) 2001. 05. 11, 図10-21 (ファミリーなし)	13, 14, 31, 32
Y	EP 289102 A2 (LSI LOGIC CORP.) 1988. 11. 02, 全文 & JP 02-244646 A, 全文 & US 4790897 A	38
A	JP 03-94459 A (新光電気工業株式会社) 1991. 04. 19, 全文 (ファミリーなし)	1-38